

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masatoshi ANMA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE INCLUDING ELECTRODE OR THE LIKE HAVING OPENING
CLOSED AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-329218	November 13, 2002

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

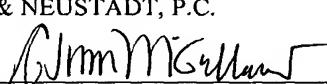
(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913


C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年11月13日

出願番号

Application Number:

特願2002-329218

[ST.10/C]:

[JP2002-329218]

出願人

Applicant(s):

三菱電機株式会社

2002年12月10日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3097700

【書類名】 特許願
【整理番号】 540130JP01
【提出日】 平成14年11月13日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/108
H01L 21/8242

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 安間 正俊

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 竹内 雅彦

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体装置の製造方法

【特許請求の範囲】

【請求項1】 キャパシタを含んだ半導体装置であって、

上面及び側面を有すると共に前記上面に開口を有する、前記キャパシタの下部電極と、

前記開口内において入り口付近に少なくとも配置されており、前記下部電極の材料を組成の一部として含む導電体又は絶縁体と、

前記下部電極の前記上面及び前記側面に對面するように配置された、前記キャパシタの誘電体膜と、

前記誘電体膜を介して前記下部電極に對面するように配置された、前記キャパシタの上部電極と、を備える、

半導体装置。

【請求項2】 請求項1に記載の半導体装置であって、

前記導電体又は前記絶縁体は前記開口内から引き続いて前記下部電極の前記上面にも配置されている、

半導体装置。

【請求項3】 請求項2に記載の半導体装置であって、

前記導電体又は前記絶縁体は前記下部電極の前記上面から引き続き前記下部電極の前記側面上にも配置されている、

半導体装置。

【請求項4】 キャパシタを含んだ半導体装置であって、

開口を有する、前記キャパシタの下部電極と、

前記開口を埋め尽くすことなく前記開口の底部に配置された絶縁体と、

前記開口を埋め尽くすことなく前記絶縁体上及び前記下部電極上に配置された、前記キャパシタの誘電体膜と、

前記誘電体膜上に配置された、前記キャパシタの上部電極と、を備える、

半導体装置。

【請求項5】 請求項4に記載の半導体装置であって、

前記下部電極は、前記開口内において粗面化された内表面、及び／又は、前記開口が入り口から前記底部に向かって狭くなるような形状、を有している、半導体装置。

【請求項6】 プラグを含んだ半導体装置であって、

穴を有する層間膜と、

前記穴の入り口に開口を有して前記穴内に配置されたプラグ本体と、

前記プラグ本体の前記開口を塞ぐように前記穴内及び前記穴の外に配置されており且つ前記層間膜には接しないように配置されており、前記プラグ本体の材料を組成の一部として含む導電体と、を備え、

前記プラグは、前記プラグ本体及び前記導電体を含む、
半導体装置。

【請求項7】 半導体装置の製造方法であって、

(a)層間膜を形成し、前記層間膜を開口して穴を形成する工程と、

(b)前記層間膜上に導電膜を形成して前記穴内に前記導電膜を配置する工程と

(c)前記導電膜のうちで前記穴の外の部分を除去して前記層間膜を露出させる工程と、

(d)前記導電膜の露出表面を酸化、シリサイド化、又は、窒化して酸化膜、シリサイド膜、又は、窒化膜を形成する工程と、を備える、
半導体装置の製造方法。

【請求項8】 請求項7に記載の半導体装置の製造方法であって、

前記工程(d)は、プラズマ酸化又はプラズマ窒化によって前記酸化膜又は前記窒化膜を形成する工程を含む、
半導体装置の製造方法。

【請求項9】 請求項7又は請求項8に記載の半導体装置の製造方法であつて、

前記半導体装置は、前記導電膜のうちで前記穴内の部分を下部電極として含むキャパシタを備え、

前記製造方法は、

(e)前記工程(c)の後に前記層間膜を除去して前記下部電極の側面を露出させる工程と、

(f)前記工程(d)及び(e)の後に前記下部電極の上面及び前記側面に對面するよ
うに前記キャパシタの誘電体膜を形成する工程と、

(g)前記誘電体膜を介して前記下部電極に對面するように前記キャパシタの上
部電極を形成する工程と、を更に備える、

半導体装置の製造方法。

【請求項10】 請求項9に記載の半導体装置の製造方法であって、

前記工程(e)を前記工程(d)の前に実施する、

半導体装置の製造方法。

【請求項11】 請求項9又は請求項10に記載の半導体装置の製造方法で
あって、

前記工程(e)は、前記層間膜の一部を残すように前記層間膜を除去する工程を
含む、

半導体装置の製造方法。

【請求項12】 請求項7乃至請求項11のいずれかに記載の半導体装置の
製造方法であって、

(h)前記酸化膜、シリサイド膜、又は、窒化膜のうちで前記穴の外の部分を除
去する工程を、更に備える、

半導体装置の製造方法。

【請求項13】 キャパシタを含んだ半導体装置の製造方法であって、

(i)層間膜を形成し、前記層間膜を開口して穴を形成する工程と、

(j)前記穴内の露出表面に沿って導電膜を形成する工程と、

(k)前記穴を埋めるように前記導電膜上に絶縁体を形成する工程と、

(l)前記導電膜のうちで前記穴の外の部分を除去して前記層間膜を露出させる
ことにより、前記導電膜から前記キャパシタの下部電極を形成する工程と、

(m)前記穴に対応する前記下部電極の開口の底部に前記絶縁体の一部を残すよ
うに前記絶縁体を除去する工程と、

(n)前記層間膜を除去して前記下部電極を露出させる工程と、

- (o)前記工程(m)及び(n)の後に前記開口を埋め尽くすことなく前記絶縁体上及び前記下部電極上に前記キャパシタの誘電体膜を形成する工程と、
- (p)前記誘電体膜上に前記キャパシタの上部電極を形成する工程と、を備える半導体装置の製造方法。

【請求項14】 請求項13に記載の半導体装置の製造方法であって、前記工程(n)は、前記層間膜の一部を残すように前記層間膜を除去する工程を含む、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置及びその製造方法に関し、より具体的には例えばピラー(pillar)型キャパシタの下部電極等の開口に起因した不具合を防止して、半導体装置の信頼性を向上させる技術に関する。

【0002】

【従来の技術】

DRAM (Dynamic Random Access Memory) 等のメモリデバイスは例えばピラー(pillar)型キャパシタを含んでおり、従来、ピラー型キャパシタは次のように製造される。まず、層間膜に穴を開け、キャパシタの下部電極用の膜を例えばCVD (Chemical Vapor Deposition) 法によって形成して当該穴を埋める。その後、下部電極用膜が穴内にのみ残るよう例えればCMP (Chemical Mechanical Polishing) 処理やドライエッチング処理を実施する。層間膜の一部あるいは全部を除去し、処理後に残った膜が下部電極になる。そして、下部電極を覆うようにキャパシタを成す誘電体膜及び上部電極を順次に形成することにより、ピラー型キャパシタが完成する。

【0003】

なお、メモリデバイスのキャパシタは例えば特許文献1～3において紹介されている。

【0004】

【特許文献1】

特開2000-223671号公報 (図11)

【特許文献2】

特開2000-156476号公報 (図20~図30)

【特許文献3】

特開2000-252441号公報 (図2及び図3)

【0005】

【発明が解決しようとする課題】

上述のように、従来の製造方法では例えばCVD法によって層間膜の穴に下部電極用の膜を埋め込む。このとき、成膜が進むにつれて穴のアスペクト比は上がる（成膜の終期では無限大になると捉えられる）ため、形成した下部電極用膜において穴内にボイドが発生してしまう。なお、ボイドは穴の当初のアスペクト比が大きいほど発生しやすい。ボイドを有する下部電極用膜にその後のCMP処理等を施すと、ボイドは下部電極の露出表面に現れて該電極に開口を形成する。キャパシタの誘電体膜及び上部電極は開口内にも形成されるが、これらの膜を十分な厚さで以て開口内に形成するのは困難である。このため、開口内では誘電体膜が局所的に薄くなり、この薄い部分を介して上部電極と下部電極との間に漏れ電流が流れてしまう。つまり、キャパシタとしての電荷保持特性が得られなくなってしまう。なお、ここではピラー型キャパシタを例に挙げたが、一般的に開口内に膜を形成する場合には種々の問題が生じる。

【0006】

この発明はかかる点に鑑みてなされたものであり、例えばピラー型キャパシタの下部電極の開口に起因した上述の不具合を防止して、半導体装置の信頼性を向上させることを目的とする。

【0007】

【課題を解決するための手段】

この発明によれば、半導体装置は下部電極と上部電極と誘電体膜とを含み、更に下部電極の材料を組成の一部として含む導電体又は絶縁体を含んでいる。下部

電極は上面及び側面を有すると共に上面に開口を有している。導電体又は絶縁体は上記開口内において入り口付近に少なくとも配置されている。誘電体膜は下部電極の上面及び側面に對面するように配置されており、上部電極は誘電体膜を介して下部電極に對面するように配置されている。

【0008】

あるいは、この発明によれば、半導体装置は下部電極と上部電極と誘電体膜とを含み、更に絶縁体を含んでいる。下部電極は開口を有しており、当該開口を埋め尽くすことなく開口の底部に絶縁体が配置されている。誘電体膜は上記開口を埋め尽くすことなく絶縁体上及び下部電極上に配置されており、上部電極は誘電体膜上に配置されている。

【0009】

あるいは、この発明によれば、半導体装置は層間膜とプラグとを含んでおり、当該プラグはプラグ本体と当該プラグ本体の材料を組成の一部として含む導電体とを含んでいる。層間膜は穴を有している。プラグ本体は上記穴の入り口に開口を有して該穴内に配置されており、導電体がプラグ本体の開口を塞ぐように上記穴内及び該穴の外に配置されており、又、層間膜には接しないように配置されている。

【0010】

また、この発明によれば、半導体装置の製造方法は次の工程(a)～(d)を含んでいる。工程(a)では層間膜を形成し、当該層間膜を開口して穴を形成する。工程(b)では層間膜上に導電膜を形成して上記穴内に当該導電膜を配置する。工程(c)では導電膜のうちで穴の外の部分を除去して層間膜を露出させる。工程(d)では導電膜の露出表面を酸化、シリサイド化、又は、窒化して酸化膜、シリサイド膜、又は、窒化膜を形成する。

【0011】

あるいは、この発明によれば、キャパシタを含んだ半導体装置の製造方法は次の工程(i)～(p)を含んでいる。工程(i)では層間膜を形成し、当該層間膜を開口して穴を形成する。工程(j)では上記穴内の露出表面に沿って導電膜を形成する。工程(k)では上記穴を埋めるように導電膜上に絶縁体を形成する。工程(l)では

導電膜のうちで穴の外の部分を除去して層間膜を露出させることにより、導電膜からキャパシタの下部電極を形成する。工程(m)では上記穴に対応する下部電極の開口の底部に絶縁体の一部を残すように絶縁体を除去する。工程(n)では層間膜を除去して下部電極を露出させる。工程(o)では工程(m)及び(n)の後に上記開口を埋め尽くすことなく絶縁体上及び下部電極上にキャパシタの誘電体膜を形成する。工程(p)では誘電体膜上にキャパシタの上部電極を形成する。

【0012】

【発明の実施の形態】

実施の形態1.

図1に実施の形態1に係る半導体装置100を説明するための断面図を示し、図2に実施の形態1に係るキャパシタ構造ないしはキャパシタ10を説明するための断面図を示す。なお、図2は図1の一部拡大図である。ここでは半導体装置100としてDRAM (Dynamic Random Access Memory) を例示するが、後述のキャパシタ10等の適用はDRAMに限らない。

【0013】

図1に示すように、半導体装置100では、半導体基板1の素子形成領域内に、DRAMのメモリセルを選択するための例えばMIS (Metal-Insulator-Semiconductor) 型のトランジスタ110が形成されており、トランジスタ110の一方のソース／ドレイン領域はプラグ111を介して配線（ビット線）112に接続されており、他方のソース／ドレイン領域はプラグ9を介してキャパシタ10に接続されている。なお、トランジスタ110は例えばシリコン酸化膜から成る層間膜2に覆われており、上記要素110, 111, 112, 9は層間膜2内に配置されている。

【0014】

キャパシタ10は層間膜2上に配置されており、例えばシリコン酸化膜から成る層間膜3で覆われている。なお、層間膜2, 3間には例えばシリコン窒化膜から成り後述のようにストップ膜としても働く層間膜8が配置されている。このとき、キャパシタ10は層間膜2, 3, 8を総称した「層間膜」内に配置されないと捉えることができる。

【0015】

なお、図1には、单一の素子形成領域内に配置された2つのトランジスタ110が、配線112に接続されるソース／ドレイン領域及びプラグ111を共有しており、又、上記2つのトランジスタ110に接続された2つのキャパシタ10がキャパシタ誘電体膜12及び上部電極13を共有している場合を図示している。

【0016】

半導体基板1の他の素子形成領域内にはDRAMの周辺回路用の例えばMIS型トランジスタ120が形成されており、トランジスタ120の各ソース／ドレイン領域はそれぞれプラグ121を介して配線又は配線中継部122に接続されている。これらの要素120, 121, 122は層間膜2に覆われている。

【0017】

そして、配線122上には層間膜2, 8, 3に渡るビアホールないしはコンタクトホール85Aが形成されており、ビアホール85A内にはプラグ801が配置されている。なお、プラグ801については後述の実施の形態8で詳述する。プラグ801に接するように層間膜3の上面3T上には配線132が配置されている。

【0018】

次に図2を参照してキャパシタ10を説明する。キャパシタ10はスタック(stack)型のキャパシタであり、より具体的にはその中でもピラー(pillar)型と呼ばれる。キャパシタ10は、下部電極11と、上部電極13と、両電極11, 13間に配置されたキャパシタ誘電体膜12と、を含んでいる。電極11, 13は例えればルテニウム(Ru)から成り、誘電体膜12は例えれば酸化タンタル(Ta₂O₅)から成る。特にキャパシタ10は更に酸化ルテニウム膜(ないしは導電体)14を含んでいる。なお、下部電極は「ストレージノード電極」とも呼ばれ、上部電極は「セルプレート電極」とも呼ばれる。

【0019】

下部電極11は、互いに対向する上面11T及び下面11Bと、両表面11T, 11Bを繋ぐ側面11Wと、を有する例えれば円柱形をしている。下部電極11

の下面11Bは層間膜2（図1参照）及び当該層間膜2内のプラグ9に接している。なお、下部電極11は層間膜2（図1参照）上の層間膜ないしはストッパ膜8の開口（貫通孔）を介して層間膜2上に配置されており、換言すればストッパ膜8は下部電極11の下面11B付近において下部電極11を取り囲むように（接するように）層間膜2上に配置されている。

【0020】

下部電極11はその上面11Tに開いた凹部ないしは開口11Aを有している。開口11Aは下部電極11の下面11Bには達しておらず、下部電極11を貫通してはいない。なお、図2では開口11Aの底部が急峻な場合を図示しているが、丸まっている場合もある。

【0021】

特に、下部電極11の上面11T上には開口11Aの入り口を塞ぐように酸化ルテニウム膜14が配置されている（積層されている）。なお、酸化ルテニウム膜14は導電体であり、下部電極11の材料であるルテニウムを組成の一部として含んでいる。酸化ルテニウム膜14は、下部電極11の上面11T側から開口11Aに蓋をし且つ開口11Aに栓をするような形状を有している。具体的には、酸化ルテニウム膜14は、開口11A内においてその入り口付近に配置されているのみならず、開口11A内全体に配置されており、更に、開口11A内から引き続いて下部電極11の上面11T上に延在している。なお、酸化ルテニウム膜14は下部電極11の上面11T及び開口11A内の表面に接している。また、酸化ルテニウム膜14の上面（下部電極11と接する表面に對向した表面）14Tは下部電極11の上面11T以上の高いレベルにあり、すなわち開口11A内に落ち込んではいない。

【0022】

後述の製造方法から明らかになるが、酸化ルテニウム膜14は、下部電極11の上面11Tの全面に接しており、下部電極11の側面11Wになめらかに（段差無く）続く側面を有している（つまり酸化ルテニウム膜14は下部電極11と同じ平面パターンを有している）。なお、図2には開口11Aが完全に充填されている場合を図示しているが、開口11Aの例えれば底部に空洞があっても構わな

い（後述の図9の酸化ルテニウム膜24を参照）。

【0023】

そして、下部電極11の上面11T及び側面11Wに対面するように誘電体膜12が配置されており、更に誘電体膜12を介して下部電極11の上面11T及び側面11Wに対面するように上部電極13が配置されている。詳細には、キャパシタ10では、誘電体膜12は酸化ルテニウム膜14、下部電極11（の側面11W）及びストップ膜8に接して延在しており、下部電極11及び酸化ルテニウム膜14を下部電極11の上面11T側から覆っている。そして、誘電体膜12上に、下部電極11及び酸化ルテニウム膜14を覆うように上部電極13が延在している。上述のように酸化ルテニウム膜14の上面14Tは開口11A内に落ち込んではいないので、誘電体膜12及び上部電極13は開口11A内に進入していない。なお、誘電体膜12及び上部電極13のうちでストップ膜8上の部分の大きさは任意であり、かかる点は後述の図9のキャパシタ20等においても同様である。

【0024】

次に、図3～図8の断面図を参照しつつキャパシタ10の製造方法を説明する。まず、プラグ9を有する層間膜2（図1参照）までが形成された状態の基板を準備する。なお、かかる状態の基板ではプラグ9の上面が層間膜2から露出している。

【0025】

そして、図3に示すように、例えばCVD（Chemical Vapor Deposition）法によって、層間膜2上にストップ膜8（例えばシリコン窒化膜）及び層間膜15（例えばシリコン酸化膜）をこの順序で形成する。なお、上述のようにストップ膜8は層間膜としても働くので、膜8, 15を総称して「層間膜」とも呼ぶことができる。

【0026】

次に、層間膜15及びストップ膜8を開口して穴15Aを形成する。具体的には、フォトリソグラフィ技術及びドライエッチング技術によって、層間膜15に当該層間膜15の露出面ないしは上面15Tに開口した穴15Aを形成する。こ

の際、ストップ膜8がドライエッチング時のストップ膜として働く。続いて、穴15A内に露出したストップ膜8を除去し、これにより穴15Aを層間膜2（図1参照）の表面にまで到達させ、穴15A内にプラグ9の上面を露出させる。

【0027】

その後、図4に示すように、例えばCVD法やPVD（Physical Vapor Deposition）法によって、穴15Aを埋めるように層間膜15上にルテニウム膜（ないしは導電膜）11Pを形成する。そして、図5に示すように、例えばCMP（Chemical Mechanical Polishing）法やドライエッチバック法によってルテニウム膜11Pのうちで穴15Aの外の部分を除去し、層間膜15を露出させる。かくして、穴15A内に残ったルテニウム膜11が下部電極11になる。かかる除去工程後に穴15A内に残ったルテニウム膜11が下部電極11になる。なお、複数のキャパシタ10を同時に形成する場合、当該除去工程によって各キャパシタ10の下部電極11が互いに分離される。

【0028】

ここで、ルテニウム膜11Pの形成時に穴15A内にボイドが形成され（図4参照）、且つ、当該ボイドがルテニウム膜11Pの一部除去工程後に露出表面に現れた場合には、当該ボイドが上述の開口11Aになる。なお、ルテニウム膜11P内のボイドは開口11Aに成りうるが、半導体装置100内の全ての下部電極11に開口11Aが発生するとは限らない。

【0029】

次に、図6に示すように、熱酸化法（例えば酸化性雰囲気中における550℃～800℃の熱処理）によってルテニウム膜11の露出表面、具体的には上面11T及び開口11Aの内表面を酸化する。これにより、ルテニウム膜11に接する酸化ルテニウム膜14が形成される。このとき、酸化ルテニウム膜14の形成時の体積膨張によって開口11Aが埋められ、開口11Aの入り口が塞がれる。

【0030】

そして、図7に示すように少なくともルテニウム膜11付近の層間膜15をフッ化水素酸溶液等によって除去し、ルテニウム膜11の側面11Wを露出させる。この際、ストップ膜8がウエットエッチング時のストップ膜として働く。その後、図8に示すようにルテニウム膜11、すなわち下部電極11を覆うように誘導

電体膜12を形成し、更に誘電体膜12を覆うように上部電極13を形成することにより、図2のキャパシタ10が得られる。なお、図1に示すように複数のキャパシタ10で誘電体膜12及び上部電極13を共有する場合、これらのキャパシタ10に対して同時に誘電体膜12及び上部電極13を形成する。

【0031】

さて、従来のキャパシタのように酸化ルテニウム膜14が無ければ、開口11Aの底部付近に薄い誘電体膜12が形成され当該薄い誘電体膜12に起因して電極11, 13間に漏れ電流が発生する。しかしながら、キャパシタ10では酸化ルテニウム膜14によって開口11A（の入り口）が塞がれており開口11Aの底部付近には誘電体膜12及び上部電極13が進入していないので、キャパシタ10によればそのような漏れ電流を抑制・防止することができる。従って、キャパシタ10は良好な電荷保持特性を有し、その結果、半導体装置100の信頼性は従来のキャパシタを有する半導体装置に比べて高くなる。

【0032】

このとき、従来のキャパシタでは開口内の誘電体膜を厚くすれば漏れ電流を抑制可能と考えられるが、開口の外の誘電体膜も厚くなってしまうのでキャパシタの容量低下を招いてしまう。これに対して、キャパシタ10によれば、漏れ電流対策として誘電体膜12を厚くする必要が無いので、そのような容量低下は惹起されない。

【0033】

なお、上記特許文献1（特開2000-223671号公報）には、ルテニウム膜を例えればスパッタ法やCVD法で全面的に形成し、フォトリソグラフィ技術を用いて当該膜をパターニングすることによって、下部電極を形成する技術が紹介されている。しかし、このような形成方法によればルテニウム膜には開口が生じ得ず、ルテニウム膜上に例えればシリコン酸化膜を形成した後に両膜をパターニングする技術が説明されているが、当該シリコン酸化膜はルテニウム膜の開口を塞ぐものではない。なお、シリコン酸化膜は組成の一部にルテニウムを含まない。また、該文献の【0168】段落には下部電極をルテニウム膜及び酸化ルテニウム膜の積層膜で形成可能であると述べられているが、該段落には酸化ルテニウム

ム膜をルテニウム膜の酸化によって形成するという方法は紹介されていない。

【0034】

実施の形態2.

図9に実施の形態2に係るキャパシタ20を説明するための断面図を示す。なお、キャパシタ20はキャパシタ10に変えて図1の半導体装置100に適用可能である。

【0035】

キャパシタ20は図2のキャパシタ10の酸化ルテニウム膜14を酸化ルテニウム膜24に変えた構造を有しており、キャパシタ20のその他の構成は図2のキャパシタ10と基本的に同様である。図9に示すように酸化ルテニウム膜24の形状は、図2の酸化ルテニウム膜14が開口11Aの底部付近にまで到達しておらず開口11A内を完全には充填していない場合にあたる。なお、酸化ルテニウム膜24の上面24Tは酸化ルテニウム膜14の上面14T(図2参照)に対応する。

【0036】

次に、図10～図12の断面図を参考しつつキャパシタ20の製造方法を説明する。まず、例えばキャパシタ10の製造方法を用いて図5の状態の基板を得る。

【0037】

そして、図10に示すように、酸化性雰囲気中のプラズマによって(いわゆるプラズマ酸化法によって)ルテニウム膜11の露出表面を酸化する。これにより、ルテニウム膜11に接する酸化ルテニウム膜24が形成され、開口11Aの入り口が塞がれる。

【0038】

その後、例えばキャパシタ10の製造方法を用いて、層間膜15を除去し(図11参照)、誘電体膜12を形成し(図12参照)、上部電極13を形成することにより、図9のキャパシタ20が得られる。

【0039】

酸化ルテニウム膜24によってキャパシタ20はキャパシタ10と同様の効果

を奏する。更に、プラズマ酸化法はキャパシタ10の製造方法で用いる熱酸化法よりも低温プロセスなので、キャパシタ20によれば、例えば、既に形成されている不純物層（トランジスタ110, 120のソース／ドレイン領域等）のプロファイルが変化するのを抑制することができ、半導体装置100の信頼性を高めることができる。

【0040】

実施の形態3.

図13に実施の形態3に係るキャパシタ30を説明するための断面図を示す。なお、キャパシタ30はキャパシタ10に変えて図1の半導体装置100に適用可能である。

【0041】

キャパシタ30は図2のキャパシタ10の酸化ルテニウム膜14を酸化ルテニウム膜34に変えた構造を有しており、キャパシタ30のその他の構成は図2のキャパシタ10と基本的に同様である。

【0042】

図13に示すように酸化ルテニウム膜34は、図2の酸化ルテニウム膜14と同様の形状の部分と、下部電極11の側面11W上に配置された（側面11Wに接する）部分と、を含んでいる。これら両部分は互いに結合しており、従って酸化ルテニウム膜34は下部電極11の上面11T上から引き続き下部電極11の側面11W上にも配置されている（延在している）。酸化ルテニウム膜34は、酸化ルテニウム膜14の上面14T（図2参照）に対応する上面34Tを有している。なお、酸化ルテニウム膜34において側面11W上の部分の端部はストップ膜8に接している。

【0043】

酸化ルテニウム膜14, 34の形状の違いに起因して、キャパシタ30では誘電体膜12は酸化ルテニウム膜34及びストップ膜8に接して延在している。このとき、誘電体膜12は下部電極11に接してはいないが、酸化ルテニウム膜34を介して下部電極11の上面11T及び側面11Wに對面している。また、上部電極13は誘電体膜12及び酸化ルテニウム膜34を介して下部電極11に對

面している。

【0044】

次に、図14～図16の断面図を参照しつつキャパシタ30の製造方法を説明する。まず、例えばキャパシタ10の製造方法を用いて図5の状態の基板を得る。

【0045】

既述のキャパシタ10の製造方法では酸化ルテニウム膜14の形成工程及び層間膜15の除去工程をこの順序で実施するが、キャパシタ30の製造方法ではこれらの工程を順序を入れ替えて実施する。すなわち、酸化ルテニウム膜34の形成前に層間膜15を除去する。具体的には、図14に示すように、少なくともルテニウム膜11付近の層間膜15を除去して、ルテニウム膜11の側面11Wを露出させる。その後、図15に示すように、例えば熱酸化法によってルテニウム膜11の露出表面、すなわち上面11T、側面11W及び開口11Aの内表面を酸化する。これにより、ルテニウム膜11に接する酸化ルテニウム膜34が形成される。このとき、酸化ルテニウム膜34によって開口11Aが埋められ、開口11Aの入り口が塞がれる。

【0046】

その後、例えばキャパシタ10の製造方法を用いて、誘電体膜12を形成し（図16参照）、上部電極13を形成することにより、図13のキャパシタ30が得られる。

【0047】

酸化ルテニウム膜34によってキャパシタ30はキャパシタ10と同様の効果を奏し、更に次のような効果も得られる。誘電体膜12において両電極11、13間の部分は、図2のキャパシタ10ではルテニウムから成る下部電極11及び酸化ルテニウム膜14の両方に接しているのに対して、キャパシタ30では酸化ルテニウム膜34に接するのみである。このため、キャパシタ30によれば誘電体膜12は单一の下地上に形成されるので、誘電体膜12として例えば結晶性材料を用いる場合に該膜12を均質に（局所的に特性が変化しないように）形成可能である。その結果、半導体装置100の信頼性を高めることができる。

【0048】

なお、下地として酸化ルテニウムとルテニウムとのいずれがより好ましいか、すなわち酸化ルテニウムとルテニウムとのいずれの表面が広いかという観点から、キャパシタ10, 30や後述の図42に示すキャパシタ90等を選択してもよい。

【0049】

上述の説明では酸化ルテニウム膜34の形成に熱酸化法を用いたが、プラズマ酸化法を用いることも可能である。

【0050】

実施の形態4.

図17に実施の形態4に係るキャパシタ40を説明するための断面図を示す。なお、キャパシタ40はキャパシタ10に変えて図1の半導体装置100に適用可能である。

【0051】

キャパシタ40は図2のキャパシタ10の酸化ルテニウム膜14をルテニウムシリサイド膜44に変えた構造を有しており、キャパシタ40のその他の構成は図2のキャパシタ10と基本的に同様である。なお、ルテニウムシリサイド膜44は、酸化ルテニウム膜14の上面14T(図2参照)に対応する上面44Tを有している。図17ではルテニウムシリサイド膜44が図2の酸化ルテニウム膜14と同様の形状の場合を図示しているが、ルテニウムシリサイド膜44は図9の酸化ルテニウム膜24と同様に開口11Aの底部付近にまで到達していなくて構わない。

【0052】

次に、図18～図22の断面図を参照しつつキャパシタ40の製造方法を説明する。まず、例えばキャパシタ10の製造方法を用いて図5の状態の基板を得る。

【0053】

そして、図18に示すように、ルテニウム膜11の露出表面上及び層間膜15の露出表面上に、例えばCVD法やPVD法によってシリコン膜46を形成する

。この際、開口11A内にもシリコン膜46が堆積する。次に、図19に示すように、シリコン膜46とルテニウム膜11とを反応させてルテニウムシリサイド膜44を形成し、ルテニウムシリサイド膜44によって開口11Aを塞ぐ。このとき、シリコン膜46を開口11Aの少なくとも入り口付近に形成すればルテニウムシリサイド膜44によって開口11Aは塞がれる。また、開口11Aの底部付近にシリコン膜46が未反応のまま残っても構わない。なお、シリサイド反応を利用することによりルテニウムシリサイド膜44は下部電極11と同じ平面パターンに形成される。

【0054】

その後、図20に示すように、シリサイド反応が生じずに残っているシリコン膜46（図19参照）を、例えばドライエッチング法や薬液処理によって除去する。

【0055】

その後、例えばキャパシタ10の製造方法を用いて、層間膜15を除去し（図21参照）、誘電体膜12を形成し（図22参照）、上部電極13を形成することにより、図17のキャパシタ40が得られる。

【0056】

シリサイドルテニウム膜44によってキャパシタ40はキャパシタ10と同様の効果を奏する。なお、上述の未反応のシリコン膜46をパターニングすることにより当該膜46から例えば配線やヒューズや抵抗体を形成することが可能である。換言すれば、そのような配線を形成するための工程とシリサイドルテニウム膜44の形成工程とでシリコン膜46の形成工程及び除去工程を共通化することができる。

【0057】

なお、キャパシタ30と同様に、下部電極11の側面11Wを露出させた後にシリコン膜46を形成し下部電極11をシリサイド化しても良い。

【0058】

実施の形態5.

図23に実施の形態5に係るキャパシタ50を説明するための断面図を示す。

なお、キャパシタ50はキャパシタ10に変えて図1の半導体装置100に適用可能である。

【0059】

キャパシタ50は図2のキャパシタ10の下部電極11及び酸化ルテニウム膜14を下部電極51及びシリコン窒化膜（ないしは絶縁体）54にそれぞれ変えた構造を有しており、キャパシタ50のその他の構成は図2のキャパシタ10と基本的に同様である。

【0060】

詳細には、図23の下部電極51はシリコンから成り、図2の下部電極11と同様の形状を有している。なお、下部電極51は、図2の下部電極11の上面11T、下面11B、側面11W及び開口11Aに対応する上面51T、下面51B、側面51W及び開口51Aを有している。また、図23のシリコン窒化膜54は図2の酸化ルテニウム膜14と同様の形状を有しており、酸化ルテニウム膜14の上面14Tに対応する上面54Tを有している。なお、シリコン窒化膜54は図9の酸化ルテニウム膜24と同様に開口51Aの底部付近にまで到達していないくとも構わない。

【0061】

次に、図24～図28の断面図を参照しつつキャパシタ50の製造方法を説明する。まず、例えばキャパシタ10の製造方法を用いて図3の状態の基板を得る。

【0062】

その後、図24に示すように、例えばCVD法によって、穴15Aを埋めるように層間膜15上にシリコン膜（ないしは導電膜）51Pを形成する。そして、図25に示すように、例えばCMP法やドライエッチバック法によってシリコン膜51Pのうちで穴15Aの外の部分を除去する。かかる除去工程後に穴15A内に残ったシリコン膜51が下部電極51になる。なお、複数のキャパシタ50を同時に形成する場合、当該除去工程によって各キャパシタ50の下部電極51が互いに分離される。

【0063】

このとき、キャパシタ10等の製造方法と同様に、シリコン膜51P内のボイドは開口51Aに成りうるが、半導体装置100内の全ての下部電極51に開口51Aが発生するわけではない。

【0064】

次に、図26に示すように、熱窒化（例えば窒化性雰囲気中における750℃～950℃の熱処理）によってシリコン膜51の露出表面、具体的には上面51T及び開口51Aの内表面を窒化する。これにより、シリコン膜51に接するシリコン窒化膜54が形成される。このとき、シリコン窒化膜54の形成時の体積膨張によって開口51Aが埋められ、開口51Aの開口入り口が塞がれる。

【0065】

その後、例えばキャパシタ10の製造方法を用いて、層間膜15を除去し（図27参照）、誘電体膜12を形成し（図28参照）、上部電極13を形成することにより、図23のキャパシタ50が得られる。

【0066】

シリコン窒化膜54によってキャパシタ50はキャパシタ10と同様の効果を奏する。

【0067】

上述の説明ではシリコン窒化膜54の形成に熱窒化法を用いたが、プラズマ窒化法を用いることも可能である。プラズマ窒化法は熱窒化法よりも低温プロセスなので、キャパシタ20と同様に、既に形成されている不純物層のプロファイルが変化するのを抑制することができ、半導体装置100の信頼性を高めることができる。なお、酸化法やシリサイド反応を用いることにより、シリコン窒化膜54に変えて、シリコン酸化膜やシリサイド膜を適用することも可能である。

【0068】

実施の形態6.

図29に実施の形態6に係るキャパシタ60を説明するための断面図を示す。なお、キャパシタ60はキャパシタ10に変えて図1の半導体装置100に適用可能である。

【0069】

図29に示すようにキャパシタ60はスタック(stack)型のキャパシタであり、より具体的にはその中でもクラウン(crown)型又は円筒型と呼ばれる。キャパシタ60は、下部電極61と、上部電極13と、両電極61、13間に配置されたキャパシタ誘電体膜12とを含んでおり、更に例えばシリコン酸化物から成る絶縁体67を含んでいる。

【0070】

下部電極61は例えばシリコンから成り、円筒型ないしは器型をしている。ここでは、円筒型の凹部ないしは開口61Aが入り口から底部に向かうに従って狭くなる形状の場合を説明する。下部電極61の内表面、すなわち開口61Aの内表面は粗面化されている。なお、図2の下部電極11と同様に、下部電極61は層間膜2(図1参照)上に配置されており、下部電極61の底部は層間膜2内のプラグ9に接している。

【0071】

下部電極61の開口61A内の底部には例えばシリコン酸化物から成る絶縁体67が配置されている。絶縁体67は開口61Aを埋め尽くすことなく配置されている。すなわち、絶縁体67の上面(開口61Aの入り口側の表面)67Tは開口61Aの入り口の高さレベルには及んでいない。

【0072】

そして、誘電体膜12が下部電極61及び絶縁体67に対面しこれらの要素61、67を覆うように配置されており、更に誘電体膜12を介して下部電極61に対面しこれらの要素12、61を覆うように上部電極13が配置されている。具体的にキャパシタ60では、誘電体膜12は下部電極61、絶縁体67及びストップ膜8に接するように延在しており、下部電極61及び絶縁体67を覆うように延在している。また、上部電極13は誘電体膜12に接し下部電極61及び絶縁体67を覆うように延在している。このとき、誘電体膜12は下部電極61、絶縁体67及びストップ膜8の表面に沿って延在しており、開口61A内に進入している。ただし、誘電体膜12は開口61Aを埋め尽くしてはおらず、このため上部電極13も開口61A内にも延在している。すなわち、キャパシタ60では誘電体膜12及び上部電極13は下部電極61の粗面化された表面に対面している。

【0073】

次に、図30～図36の断面図を参照しつつキャパシタ60の製造方法を説明する。まず、プラグ9を含んだ層間膜2（図1参照）までが形成された状態の基板を準備する。なお、かかる状態の基板ではプラグ9の上面が層間膜2から露出している。

【0074】

そして、既述のキャパシタ10の製造方法と同様にして、図30に示すように、層間膜2上にストップ膜8及び層間膜15をこの順序で形成し、その後、層間膜15及びストップ膜8を順に開口して穴65Aを形成する。これにより穴65A内にプラグ9の上面を露出させる。特に穴65Aは、層間膜15の上面15Tからストップ膜8及びプラグ9に向かうに従って狭くなるように形成する。

【0075】

その後、図31に示すように、層間膜15の上面15上及び穴65Aの内表面上に例えばCVD法によって非晶質シリコン膜（ないしは導電膜）61Pを形成する。このとき、穴65A内の露出表面に沿って且つ穴65A内を埋め尽くさないようにシリコン膜61Pを形成することにより、シリコン膜61Pのうちで穴65A内の部分（後に下部電極61になる）によって器型が形作られることになる。そして、図32に示すようにシリコン膜61Pの露出表面を粗面化してシリコン膜61Qを得る。具体的には、シリコンを含むガス、例えばジシラン（Si₂H₆）ガスによって結晶成長核をシリコン膜61P上に形成し、その後750℃～850℃の熱処理を実施してシリコンをマイグレーションさせる。

【0076】

次に、図33に示すように、CVD法やスピンドルコート法によってシリコン膜61Q上に絶縁体（例えばシリコン酸化膜）67Pを形成して穴65Aを埋める。そして、図34に示すように、シリコン膜61Q及び絶縁膜67Pのうちで穴65Aの外の部分を例えばCMP法によって除去し、層間膜15を露出させる。これにより、穴65A内に残ったシリコン膜61が器型の下部電極61になり、当該電極61は穴65Aに対応の開口61Aを有する。また、開口61A内には絶縁体67Pの一部が絶縁体67Qとして残存する。なお、複数のキャパシタ60

を同時に形成する場合、当該除去工程によって各キャパシタ60の下部電極61が互いに分離される。

【0077】

その後、図35に示すように、フッ化水素酸溶液等によって層間膜15及び絶縁体67Qを除去する。特に、開口61Aの底部に絶縁体67Qの一部を絶縁体67として残すように絶縁体67Qを除去する。また、層間膜15は少なくとも下部電極61付近の部分を除去して下部電極61の外表面を露出させる。このとき、層間膜15及び絶縁体67Qは共にシリコン酸化膜から成るので、両要素15, 67Qを一括して除去可能である。換言すれば、層間膜15及び絶縁体67Qは異なる材料であっても良く、そのような場合には両要素15, 67Qを順次に除去すればよい（順序は問わない）。

【0078】

そして、図36に示すように、誘電体膜12を下部電極11及び絶縁体67を覆うように形成する。この際、開口61Aを埋め尽くさないように絶縁体67上及び下部電極61上に誘電体膜12を形成する。その後、誘電体膜12上に上部電極13を形成することにより、図29のキャパシタ60が得られる。

【0079】

さて、絶縁体67が無ければ、開口61Aの底部付近に薄い誘電体膜12が形成され当該薄い誘電体膜12に起因して電極61, 13間に漏れ電流が発生する。しかしながら、キャパシタ60では開口61Aの底部には絶縁体67配置されており（これにより製造時においてはアスペクト比を下げられる）開口61Aの底部付近には誘電体膜12及び上部電極13が進入していないので、キャパシタ60によればそのような漏れ電流を抑制・防止することができる。従って、キャパシタ60は良好な電荷保持特性を有し、その結果、半導体装置100は高い信頼性を有する。

【0080】

かかる効果は、開口61Aが入り口から底部までほぼ同じ大きさの場合、及び／又は、開口61Aの内表面が粗面化されていない場合にも得られる。但し、開口61Aが入り口から底部に向かうに従って狭くなる場合、及び／又は、開口6

1 A の内表面が粗面化されている場合には、誘電体膜 1 2 が薄くなりやすいので、上述の効果が顕著に発揮される。

【0081】

なお、上記特許文献2（特開2000-156476号公報）には円筒型の下部電極を有するキャパシタが紹介されているが、円筒内にはキャパシタ誘電膜以外の絶縁体は配置されていない。

【0082】

実施の形態7.

図37に実施の形態7に係るキャパシタ70を説明するための断面図を示す。また、図38にキャパシタ70の製造方法を説明するための断面図を示す。なお、キャパシタ70はキャパシタ10に変えて図1の半導体装置100に適用可能である。

【0083】

既述のキャパシタ10の製造方法では図6及び図7に示すように下部電極11の周りの層間膜15をストップ膜8が露出するように除去する、すなわち厚さ方向において全て除去する。

【0084】

これに対して、キャパシタ70の製造方法では図38に示すように層間膜15を一部残す。その後、キャパシタ10の製造方法と同様にして誘電体膜12及び上部電極13を順次に形成することにより、図37のキャパシタ70が得られる。このような製造方法に起因してキャパシタ70の誘電体膜12はストップ膜8ではなく、残した層間膜15に接する。

【0085】

これによれば、残された層間膜15によって下部電極11を支えることができるので、当該電極11の倒れや折れ等を防止することができる。すなわち、下部電極11の高さが該電極11を成す材料の強度に対して高すぎると下部電極11が倒れたり折れたりしやすいが、上述の製造方法によればそのような事態を回避することができる。更に、残された層間膜15によって誘電体膜12とプラグ9との間の絶縁膜の量（厚さ）が増すので、誘電体膜12の形成時の影響、例えば

誘電体膜12中の酸化種が拡散してプラグ9を酸化してしまうという影響を低減することができる。

【0086】

なお、他のキャパシタ20等の製造方法においても層間膜15を一部残すようにしても良い。

【0087】

実施の形態8.

さて、例えば図2のキャパシタ10の構造はプラグに応用することができ、実施の形態8ではそのようなプラグを説明する。

【0088】

既述の図1に示すように半導体装置100では、層間膜2, 8, 3に渡ってビアホール（ないしは穴）85Aが形成されており、ビアホール85A内にプラグ801が配置されている。プラグ801は例えばルテニウムから成るプラグ本体81と酸化ルテニウム膜（ないしは導電体）841とを含んでおり、プラグ本体81と酸化ルテニウム膜841との関係はキャパシタ10における下部電極11と酸化ルテニウム膜14との関係に相当する。

【0089】

具体的には、プラグ本体81はビアホール85Aの内表面上に配置されており、ビアホール85Aの入り口ないしは層間膜3の上面3Tにおいて開口している。なお、ビアホール85Aの内表面上にプラグ本体81の一部として密着層やバリアメタル層を設けても良い。そして、酸化ルテニウム膜841はビアホール85A内においてプラグ本体81を介して層間膜3, 8, 2に対面するようにプラグ本体81上に形成されており、更にビアホール85A内から引き続きビアホール85Aの外にも形成されている。これにより酸化ルテニウム膜841はプラグ本体81の上記開口を塞いでいる。

【0090】

プラグ801はキャパシタ10の製造方法（図3～図6参照）を応用して製造可能である。すなわち、まず、下部電極11と同様にして、ビアホール85A内にプラグ本体81を形成し、その後、プラグ本体81の露出表面を酸化すること

によって酸化ルテニウム膜841を形成する。プラグ801の製造においてもボイドに起因して、CMP処理やドライエッチバック処理の後に開口が現れるが、酸化ルテニウム膜841の形成によりプラグ本体81の上記開口が塞がれる。

【0091】

このような製造方法に起因して、酸化ルテニウム膜841はビアホール85Aの外において層間膜3, 8, 2に接してはおらず、又、酸化ルテニウム膜841のうちでビアホール85Aの外の部分の上面841Tは層間膜3の上面3Tよりも高いレベルに在る。なお、配線122, 132間の電気的接続が確立できれば、プラグ本体81及び酸化ルテニウム膜841はビアホール85Aを完全に充填していなくても構わない。

【0092】

このようなプラグ801によれば、プラグ本体81の開口を塞ぐように酸化ルテニウム膜841が配置されているので、酸化ルテニウム膜841の形成後の工程で開口内に薬液等が進入してプラグ本体81を浸食するのを防ぐことができる。その結果、半導体装置100の信頼性が向上する。かかる効果はキャパシタ10等についても当てはまる。

【0093】

なお、図9のキャパシタ20の下部電極11及び酸化ルテニウム膜24を、又は、図17のキャパシタ40の下部電極11及びルテニウムシリサイド膜44を、応用して、プラグ801と同様のプラグを形成することも可能である。

【0094】

ところで、プラグ801では酸化ルテニウム膜841が層間膜3の上面3Tよりも突出しているので、配線132の形成不具合やコンタクト不具合が生じる場合がある。かかる点に鑑みれば、図39の断面図に示すプラグ802の形状が望ましい。具体的には、プラグ802は図1のプラグ801において酸化ルテニウム膜841を酸化ルテニウム膜842に変えた構造を有しており、当該酸化ルテニウム膜842の形状は図1の酸化ルテニウム膜841においてビアホール85Aの外の部分を除去した形状にあたる。

【0095】

プラグ802は、図40の断面図に示すように、プラグ801の形成後に例えばCMP法で以て酸化ルテニウム膜841のうちでビアホール85Aの外の部分を除去することによって（プラグ801の形成後の露出表面を平坦化することによって）製造可能である。なお、プラグ801の形成後においてはプラグ本体81の開口が塞がれているので、当該開口の入り口付近いしは層間膜3の上面3T付近にはボイドは存在せず、このため酸化ルテニウム膜841の一部除去によってプラグ802に開口が生じることはない。

【0096】

プラグ802は層間膜3の上面3Tと段差を形成しないので、配線132の形成不具合やコンタクト不具合を回避することができる。

【0097】

なお、図9のキャパシタ20の下部電極11及び酸化ルテニウム膜24を、又は、図17のキャパシタ40の下部電極11及びルテニウムシリサイド膜44を、応用して、プラグ802と同様のプラグを形成することも可能である。ここでプラグ802のプラグ本体81は直接、配線132に接することに鑑みれば、図23のキャパシタ50の下部電極51及びシリコン窒化膜54を応用することも可能である。この場合、シリコン窒化膜は絶縁物なので、プラグはプラグ本体のみから成ることになる。

【0098】

さて、プラグ802は次の製造方法によっても製造可能である。すなわち、図41の断面図に示すように、プラグ本体81用の導電膜81Pを形成後、CMP処理等を行わずに引き続き酸化処理を実施して酸化ルテニウム膜84Pを形成する。その後、両膜81P, 84Pのビアホール85Aの外の部分をCMP処理等によって除去して層間膜3を露出させる（図40参照）。

【0099】

なお、かかる製造方法の場合、酸化ルテニウム膜81Pを開口を有するように形成する必要がある。なぜならば、CMP処理後のプラグ802が開口を有さないようにするためには層間膜3の上面3T付近に酸化ルテニウム膜84Pを形成することにより該上面3T付近にボイドが存在しないようにする必要があるから

である。このとき、例えば既述のキャパシタ10の製造方法においても、酸化ルテニウム膜14で開口11Aを塞ぎうる限り、ルテニウム膜11P（図4参照）はCMP処理の前に開口していても構わない。かかる点は他のキャパシタ20等やプラグ801の製造方法についても同様である。

【0100】

なお、上記特許文献3（特開2000-252441号公報）には、ルテニウムから成るプラグの窪みをSrRuO₃で埋めるという技術が紹介されているが、かかる埋め込み工程はSrRuO₃膜の堆積及びCMP処理によって実施される。これに対して、例えば本願の図1の酸化ルテニウム膜841はプラグ本体81を酸化処理によって形成される。また、上記文献3のSrRuO₃は形成方法に起因して、プラグが配置された層間膜の表面レベルから突出しておらず、本願の図1の酸化ルテニウム膜841とは形状が異なる。

【0101】

実施の形態9.

さて、上述の図40のプラグ802に鑑みて、図2のキャパシタ10を図4.2の断面図に示すキャパシタ90のように変形することも可能である。なお、キャパシタ90はキャパシタ10に変えて図1の半導体装置100に適用可能である。

【0102】

具体的には、キャパシタ90はキャパシタ10において酸化ルテニウム膜14のうちで開口11Aの外の部分を除去した構造にあたり、開口11A内にのみ酸化ルテニウム膜94を有している。キャパシタ90のその他の構成は図2のキャパシタ10と基本的に同様であるが、酸化ルテニウム膜94の適用によりキャパシタ90では誘電体膜12が下部電極11の上面11Tに接しており（このとき上面11Tに対面している）、当該誘電体膜12は酸化ルテニウム膜94の頂部表面（上面11Tに並ぶ表面）にも接している。

【0103】

キャパシタ90は、キャパシタ10の製造工程において図6に示すように酸化ルテニウム膜14の形成した後に、当該膜14のうちで開口11Aの外の部分を

例えばCMP法やドライエッチバックで以て除去することにより、製造可能である。

【0104】

酸化ルテニウム膜94によってキャパシタ90はキャパシタ10と同様の効果を奏する。

【0105】

図13のキャパシタ30の説明で述べたように、誘電体膜12が例えば結晶性材料の場合、均質な誘電体膜12を得るためにには該膜12の形成時の下地は単一の材料から成るのが好ましい。キャパシタ90ではルテニウムから成る下部電極11及び酸化ルテニウム膜94が誘電体膜12の下地になるが、当該下地において下部電極11が占める割合はキャパシタ10に比べて高い。このため、下地としてルテニウムが適している場合、例えば誘電体12が酸化タンタル(Ta_2O_5)の場合には、キャパシタ90の方がより好ましいと言える。

【0106】

なお、図9及び図37の酸化ルテニウム膜24、14、図17のルテニウムシリサイド膜44、及び、図23のシリコン窒化膜54を、酸化ルテニウム膜94と同様の形状にすることも可能である。また、図13の酸化ルテニウム膜34についても例えばドライエッチバックによって下部電極11の上面11Tよりも高い(突出した)部分を除去可能である。

【0107】

実施の形態1～9の変形例。

なお、下部電極11やプラグ本体81等として、ルテニウムやシリコンの他に、パラジウム(Pd)やロジウム(Rh)等の白金属元素を用いることが可能であり、又、ITO(Indium Tin Oxide)、GZO(Gallium doped Zinc Oxide)、 $SrCu_2O_2$ 、 $CuInO_2$ 等の(透明な)酸化物半導体も適用可能である。

【0108】

また、下部電極11の形状は上述の円柱形に限られず、例えば定方向に延在する直方体であっても良く(換言すれば穴15Aの形状は溝状であっても良く)、かかる点は下部電極51やプラグ801等についても同様である。

【0109】

【発明の効果】

この発明によれば、例えばスタック型キャパシタの下部電極の開口やプラグの開口に起因した不具合を防止して、半導体装置の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】 実施の形態1、8に係る半導体装置を説明するための断面図である。

【図2】 実施の形態1に係るキャパシタを説明するための断面図である。

【図3】 実施の形態1に係るキャパシタの製造方法を説明するための断面図である。

【図4】 実施の形態1に係るキャパシタの製造方法を説明するための断面図である。

【図5】 実施の形態1に係るキャパシタの製造方法を説明するための断面図である。

【図6】 実施の形態1に係るキャパシタの製造方法を説明するための断面図である。

【図7】 実施の形態1に係るキャパシタの製造方法を説明するための断面図である。

【図8】 実施の形態1に係るキャパシタの製造方法を説明するための断面図である。

【図9】 実施の形態2に係るキャパシタを説明するための断面図である。

【図10】 実施の形態2に係るキャパシタの製造方法を説明するための断面図である。

【図11】 実施の形態2に係るキャパシタの製造方法を説明するための断面図である。

【図12】 実施の形態2に係るキャパシタの製造方法を説明するための断面図である。

【図13】 実施の形態3に係るキャパシタを説明するための断面図である

。 【図14】 実施の形態3に係るキャパシタの製造方法を説明するための断面図である。

【図15】 実施の形態3に係るキャパシタの製造方法を説明するための断面図である。

【図16】 実施の形態3に係るキャパシタの製造方法を説明するための断面図である。

【図17】 実施の形態4に係るキャパシタを説明するための断面図である

。 【図18】 実施の形態4に係るキャパシタの製造方法を説明するための断面図である。

【図19】 実施の形態4に係るキャパシタの製造方法を説明するための断面図である。

【図20】 実施の形態4に係るキャパシタの製造方法を説明するための断面図である。

【図21】 実施の形態4に係るキャパシタの製造方法を説明するための断面図である。

【図22】 実施の形態4に係るキャパシタの製造方法を説明するための断面図である。

【図23】 実施の形態5に係るキャパシタを説明するための断面図である

。 【図24】 実施の形態5に係るキャパシタの製造方法を説明するための断面図である。

【図25】 実施の形態5に係るキャパシタの製造方法を説明するための断面図である。

【図26】 実施の形態5に係るキャパシタの製造方法を説明するための断面図である。

【図27】 実施の形態5に係るキャパシタの製造方法を説明するための断面図である。

【図28】 実施の形態5に係るキャパシタの製造方法を説明するための断面図である。

【図29】 実施の形態6に係るキャパシタを説明するための断面図である。

【図30】 実施の形態6に係るキャパシタの製造方法を説明するための断面図である。

【図31】 実施の形態6に係るキャパシタの製造方法を説明するための断面図である。

【図32】 実施の形態6に係るキャパシタの製造方法を説明するための断面図である。

【図33】 実施の形態6に係るキャパシタの製造方法を説明するための断面図である。

【図34】 実施の形態6に係るキャパシタの製造方法を説明するための断面図である。

【図35】 実施の形態6に係るキャパシタの製造方法を説明するための断面図である。

【図36】 実施の形態6に係るキャパシタの製造方法を説明するための断面図である。

【図37】 実施の形態7に係るキャパシタを説明するための断面図である。

【図38】 実施の形態7に係るキャパシタの製造方法を説明するための断面図である。

【図39】 実施の形態8に係る他の半導体装置を説明するための断面図である。

【図40】 実施の形態8に係る他の半導体装置の製造方法を説明するための断面図である。

【図41】 実施の形態8に係る他の半導体装置の製造方法を説明するための断面図である。

【図42】 実施の形態9に係る他の半導体装置の製造方法を説明するため

の断面図である。

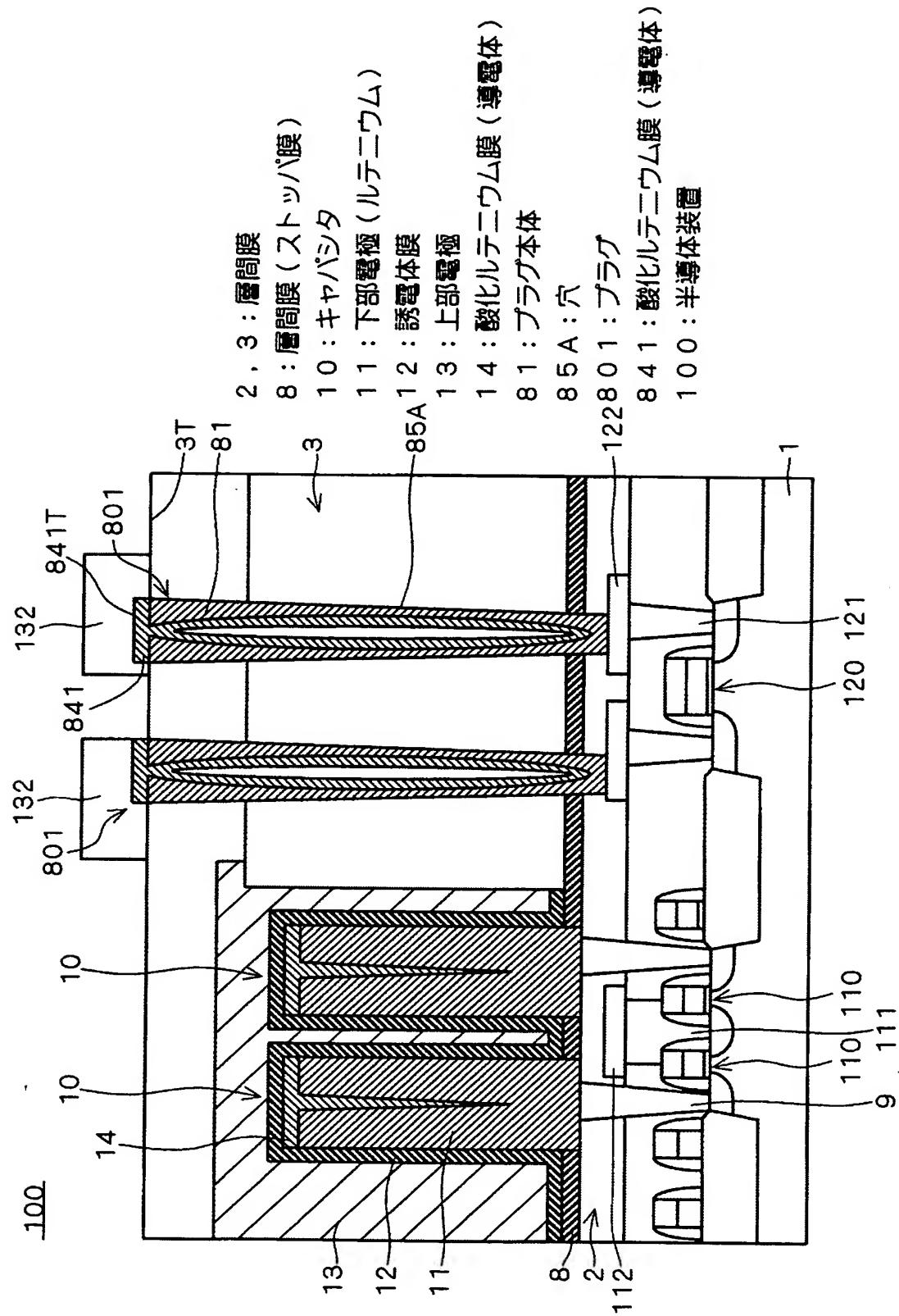
【符号の説明】

2, 3 層間膜、8 ストップ膜（層間膜）、10, 20, 30, 40, 50, 60, 70, 90 キャパシタ、11, 51, 61 下部電極、11A, 51A, 61A 開口、11T, 51T 上面、11W, 51W 側面、11P, 81P ルテニウム膜（導電膜）、12 誘電体膜、13 上部電極、14, 24, 34, 94 酸化ルテニウム膜（導電体）、15 層間膜、15A, 65A 穴、15T 上面、44 ルテニウムシリサイド膜（導電体）、51P シリコン膜（導電膜）、54 シリコン窒化膜（絶縁体）、61P, 61Q 非晶質シリコン膜（導電膜）、67, 67P, 67Q 絶縁体、801, 802 プラグ、81 プラグ本体、85A 穴、841, 842, 84P 酸化ルテニウム膜（導電体）、100 半導体装置。

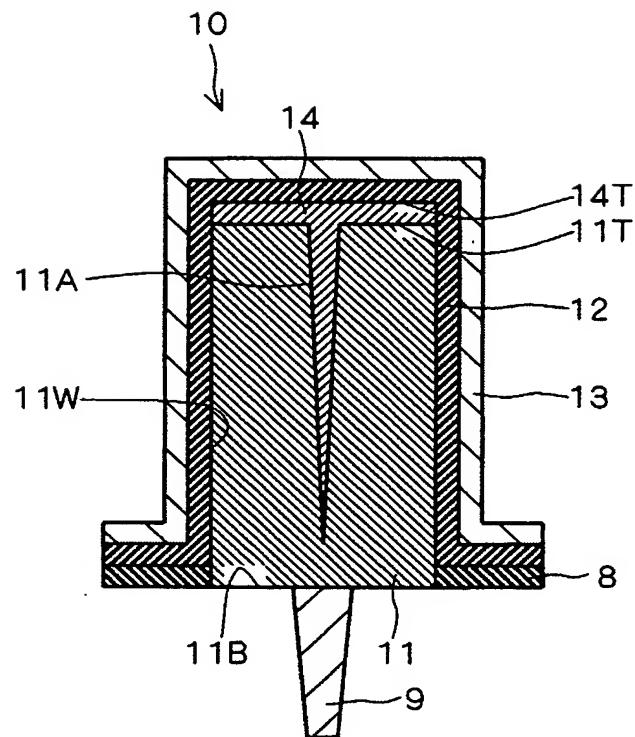
【書類名】

図面

【図1】



【図2】

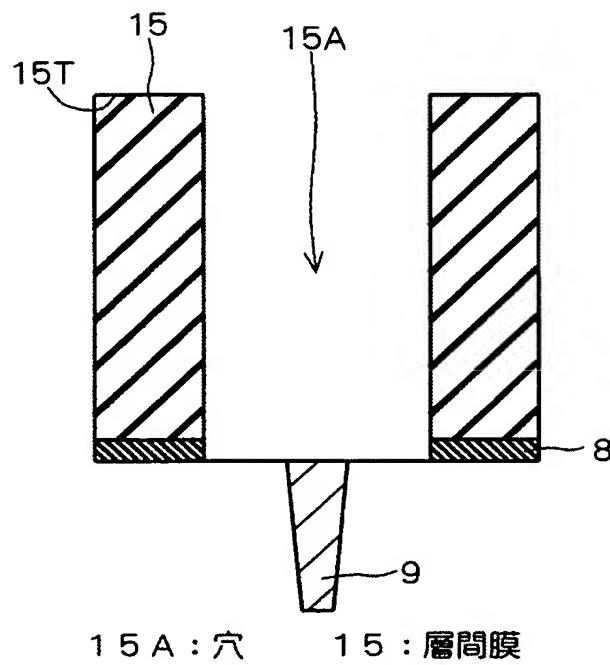


11A : 開口

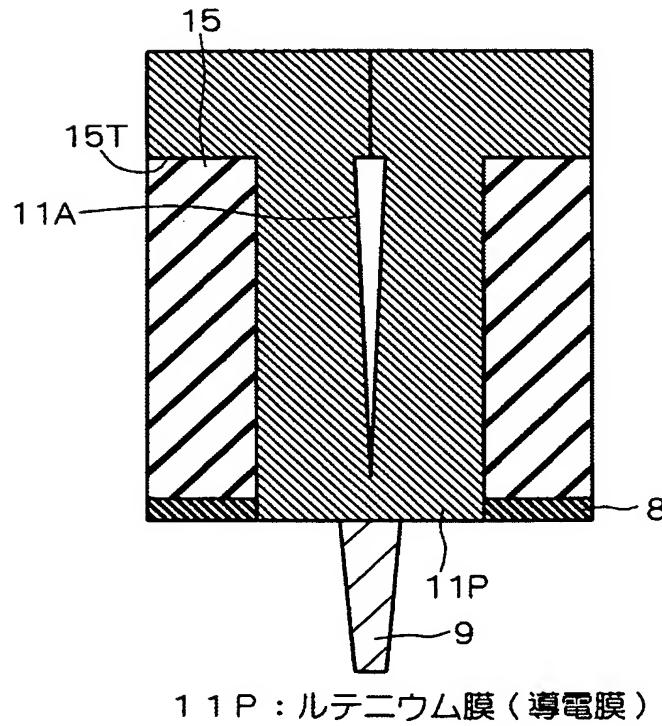
11T : 上面

11W : 側面

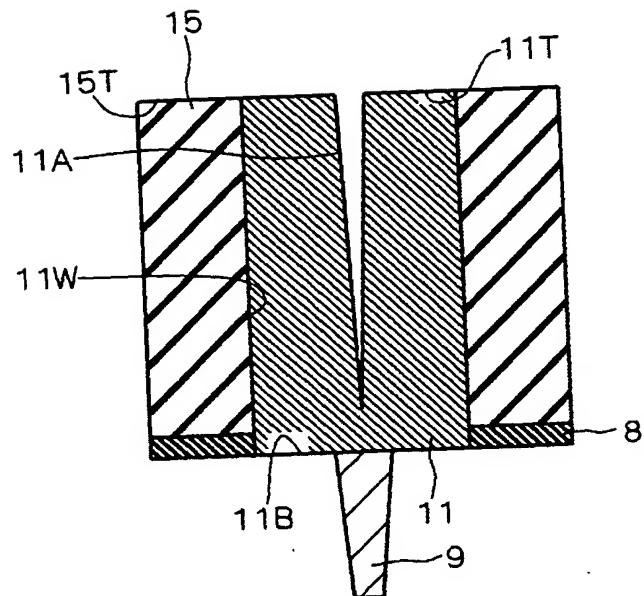
【図3】



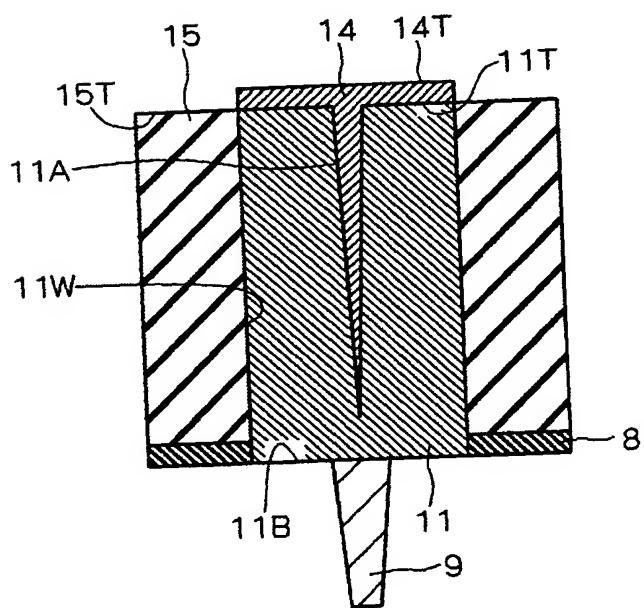
【図4】



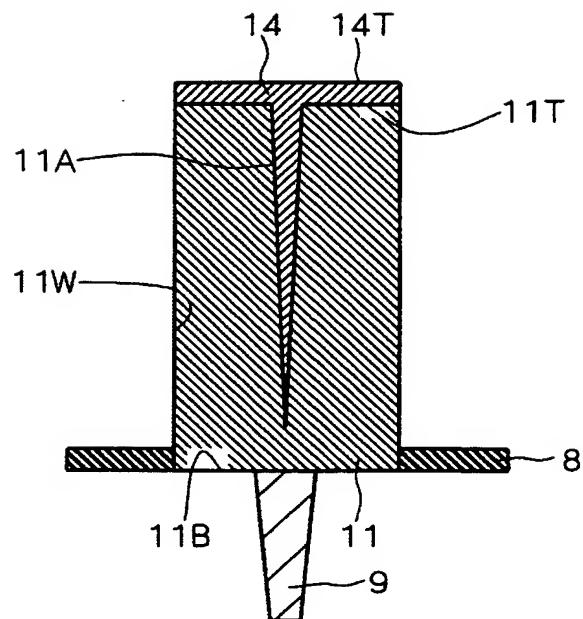
【図5】



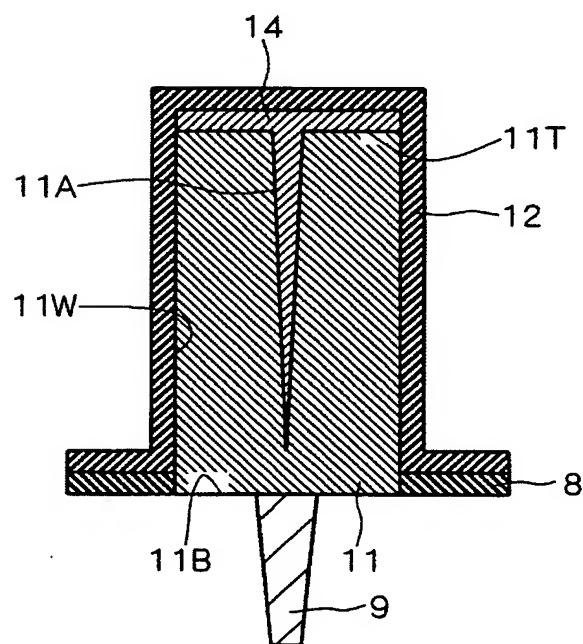
【図6】



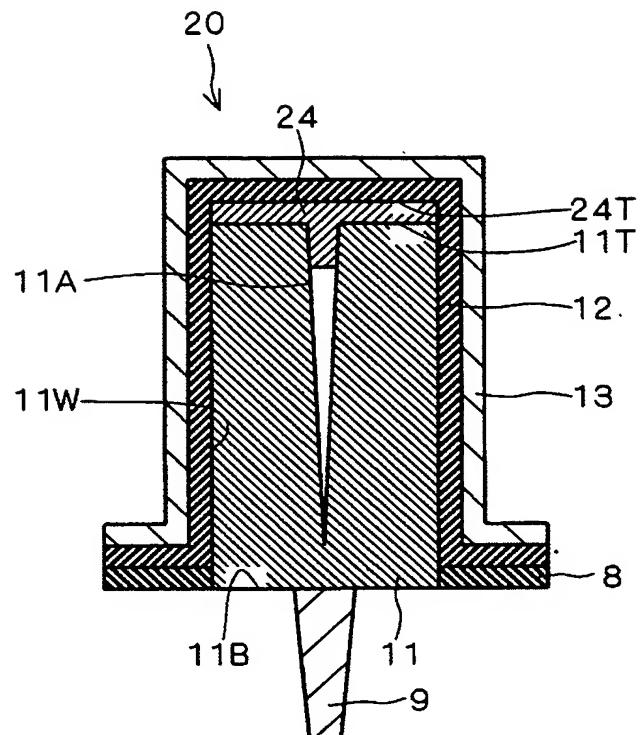
【図7】



【図8】



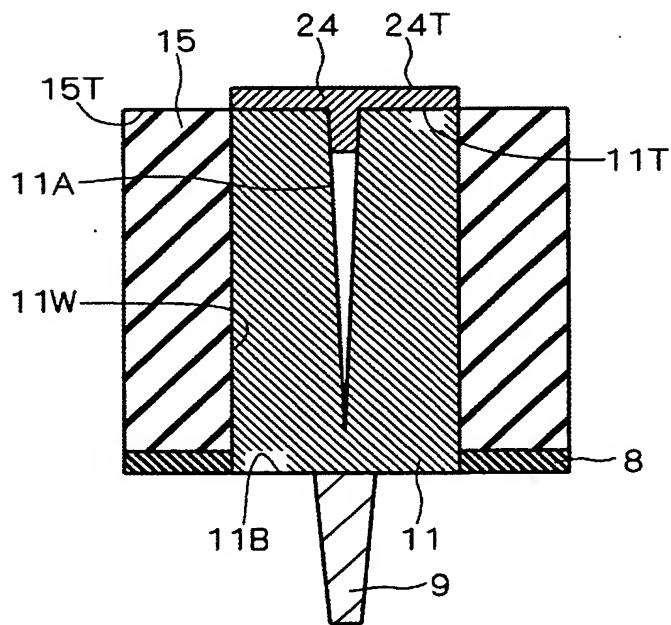
【図9】



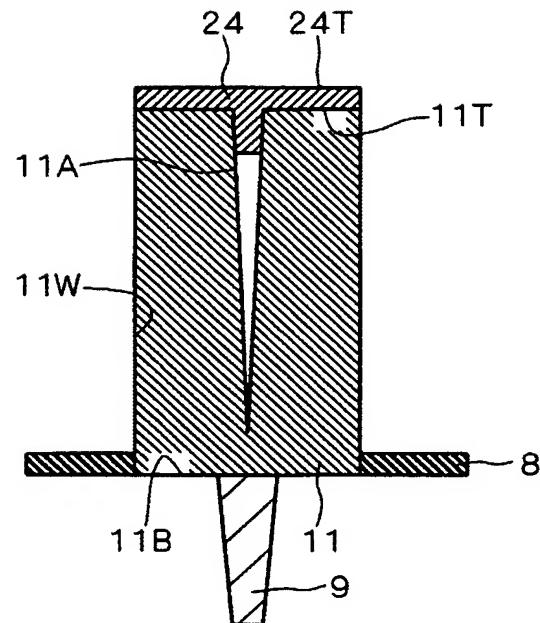
20 : キャパシタ

24 : 酸化ルテニウム膜 (導電体)

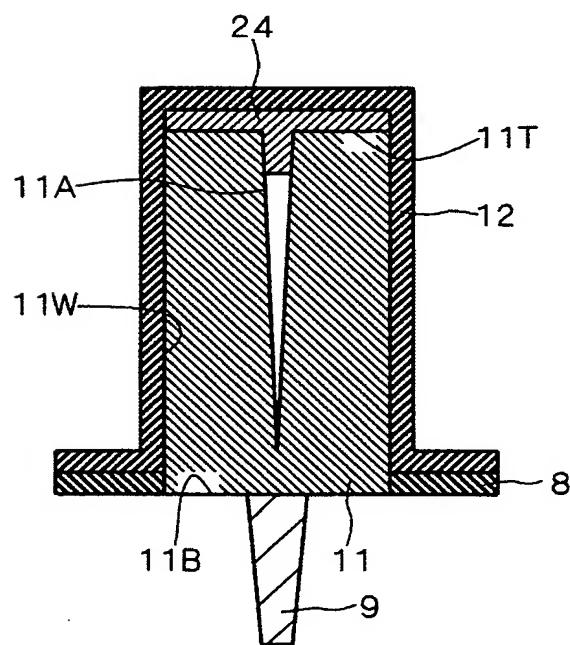
【図10】



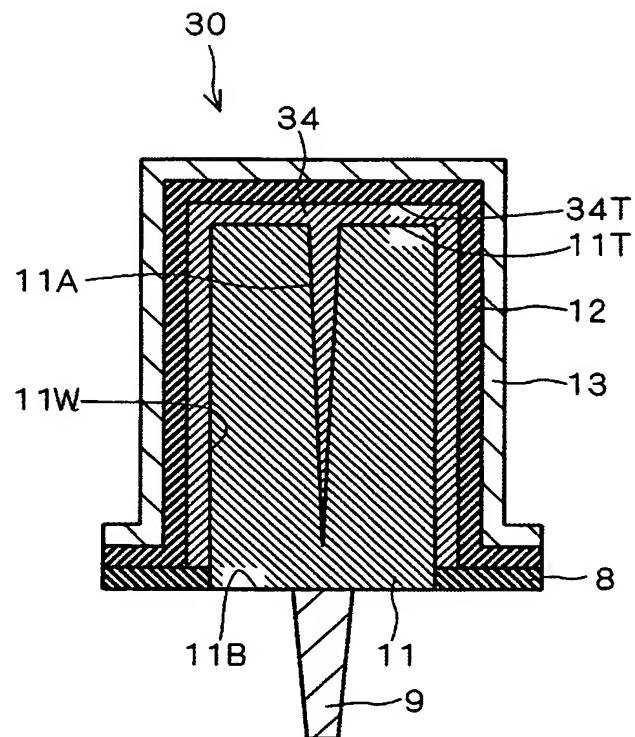
【図11】



【図12】



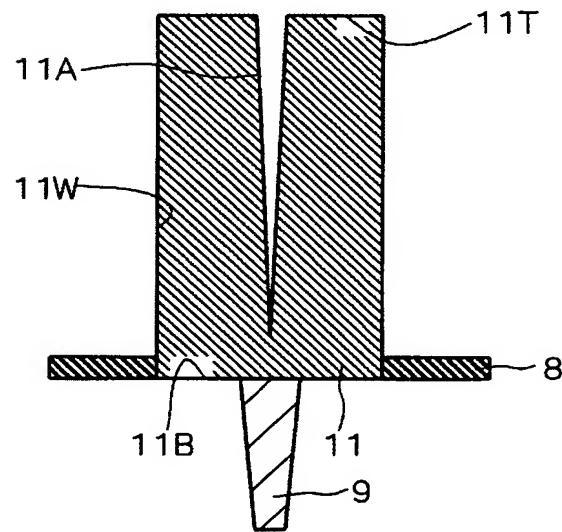
【図13】



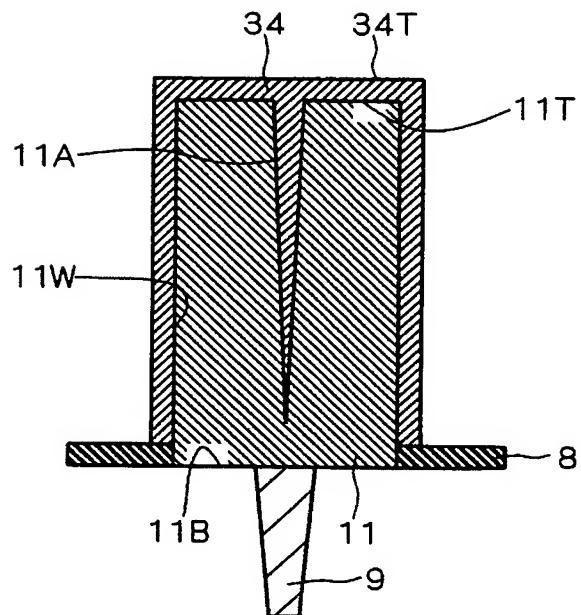
30：キャパシタ

34：酸化ルテニウム膜（導電体）

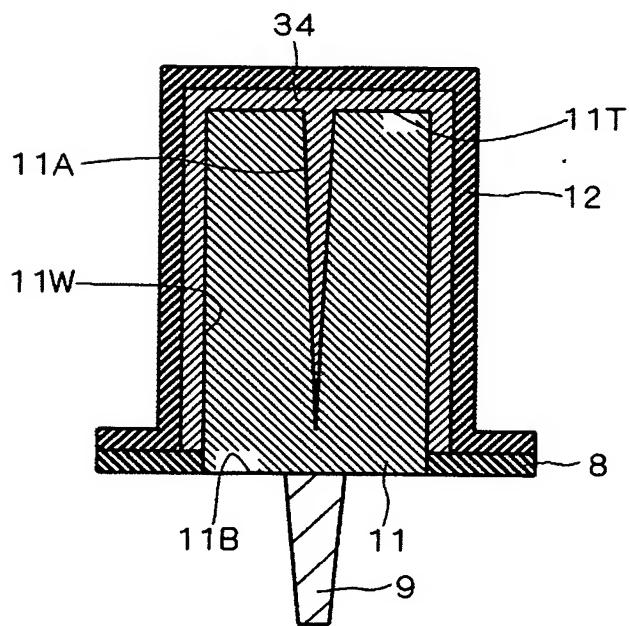
【図14】



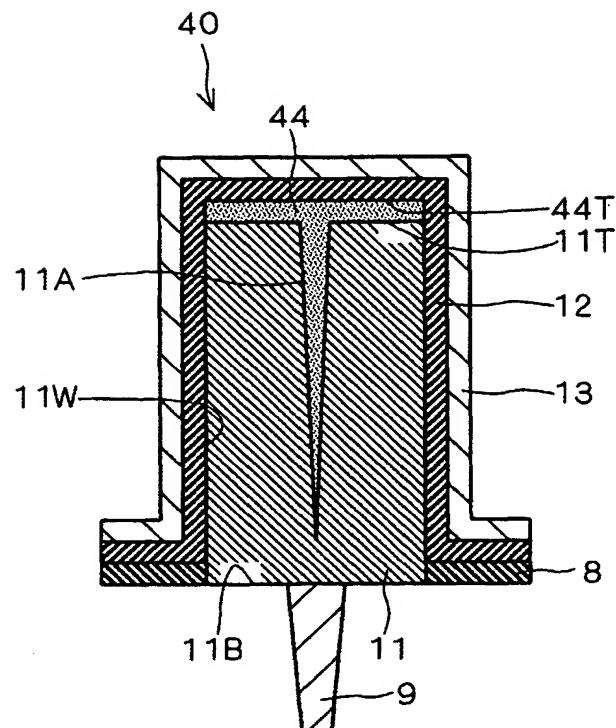
【図15】



【図16】



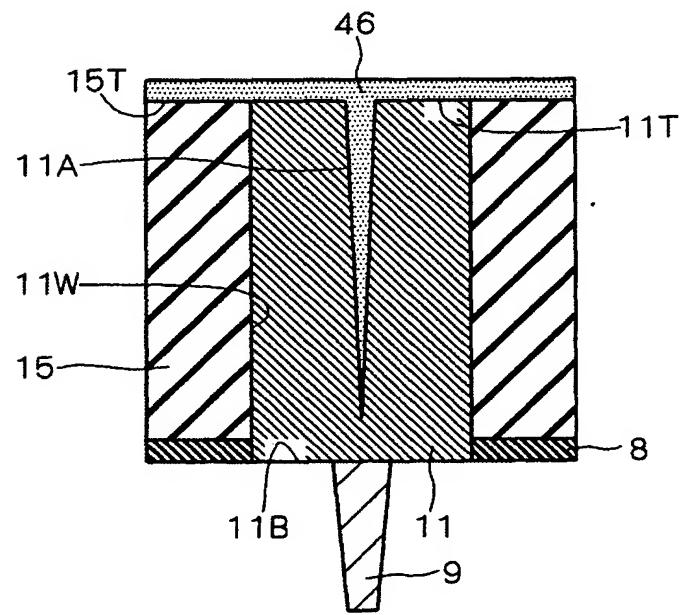
【図17】



40：キャパシタ

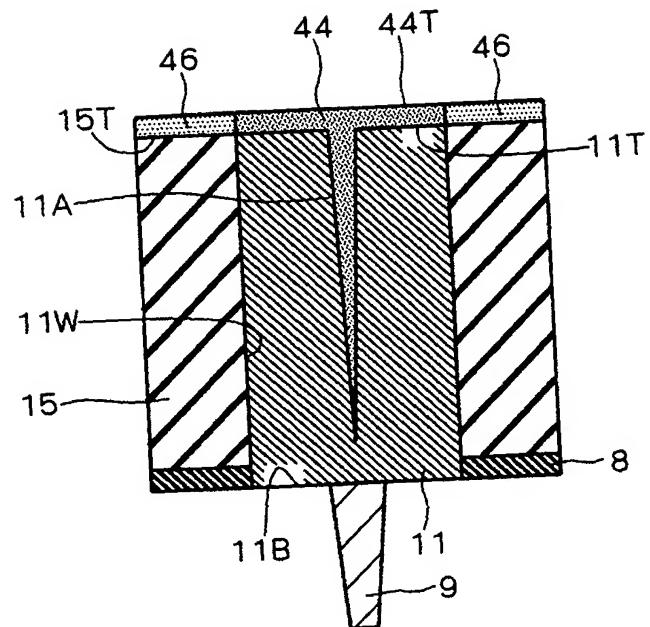
44：ルテニウムシリサイド膜（導電体）

【図18】

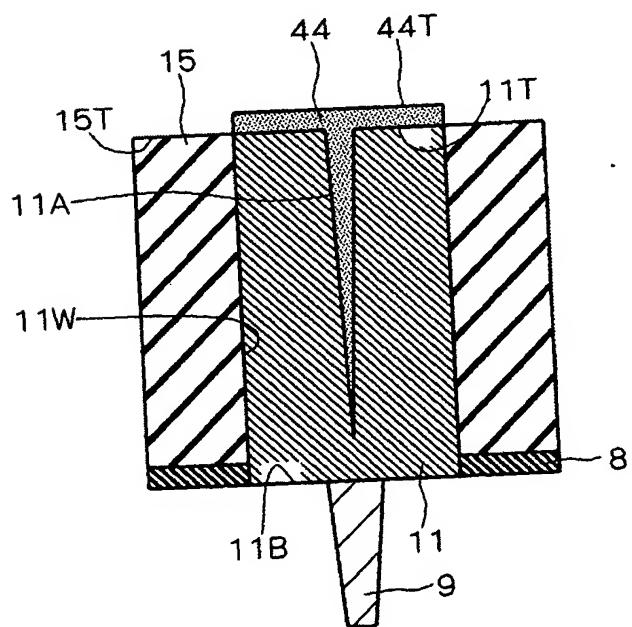


46：シリコン膜

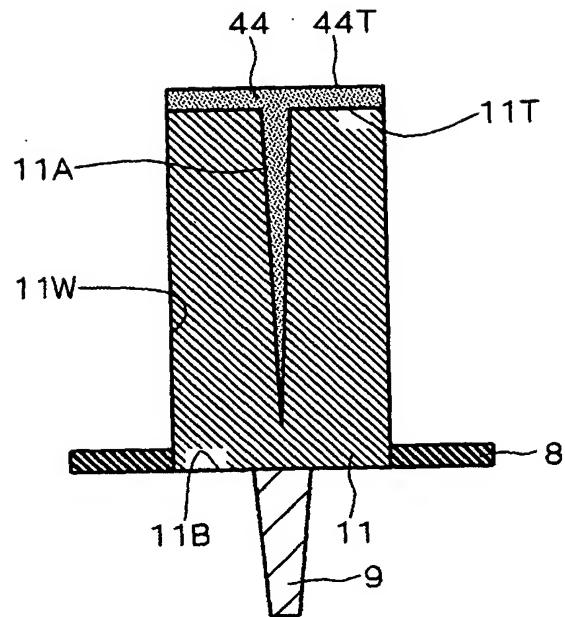
【図19】



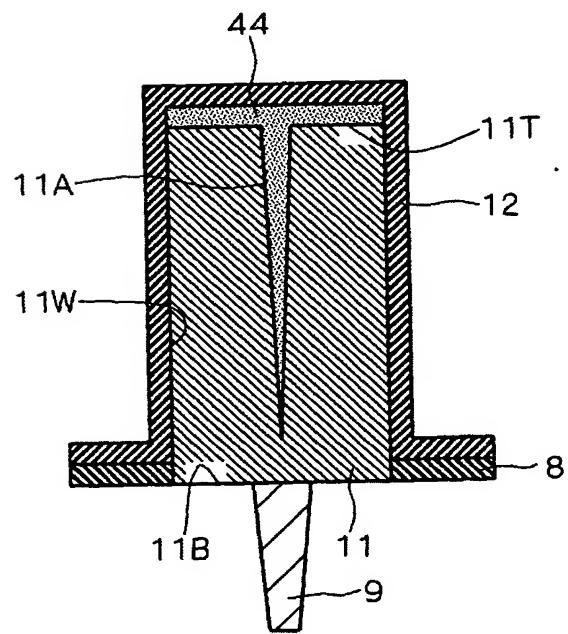
【図20】



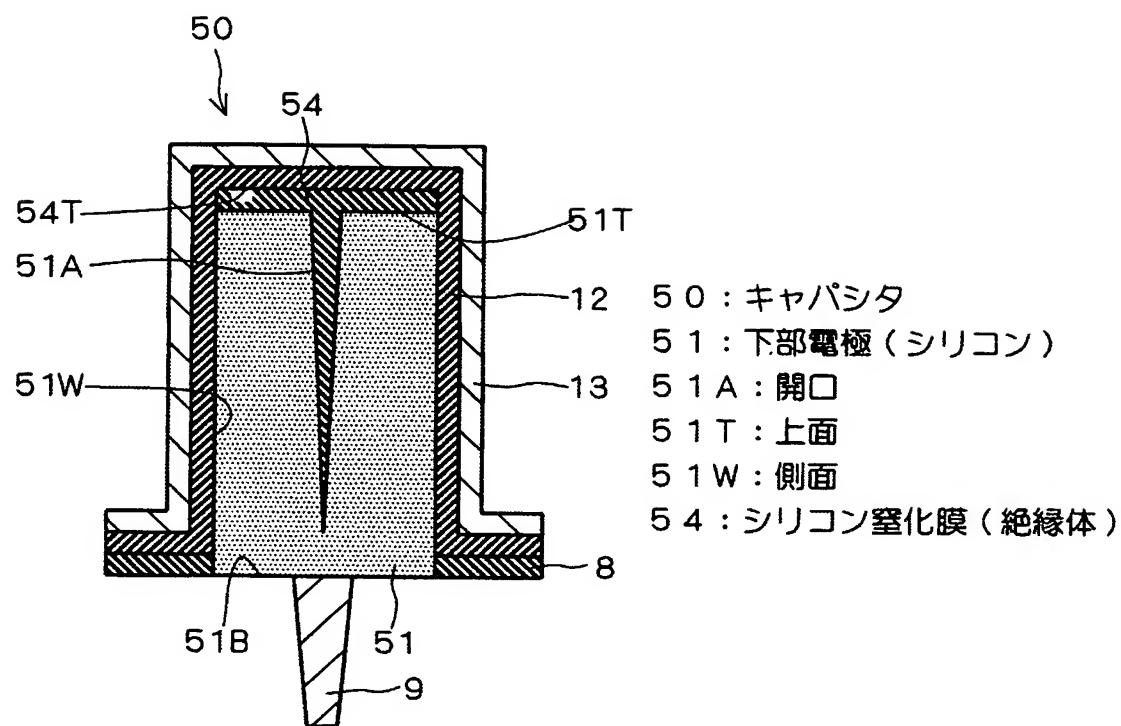
【図21】



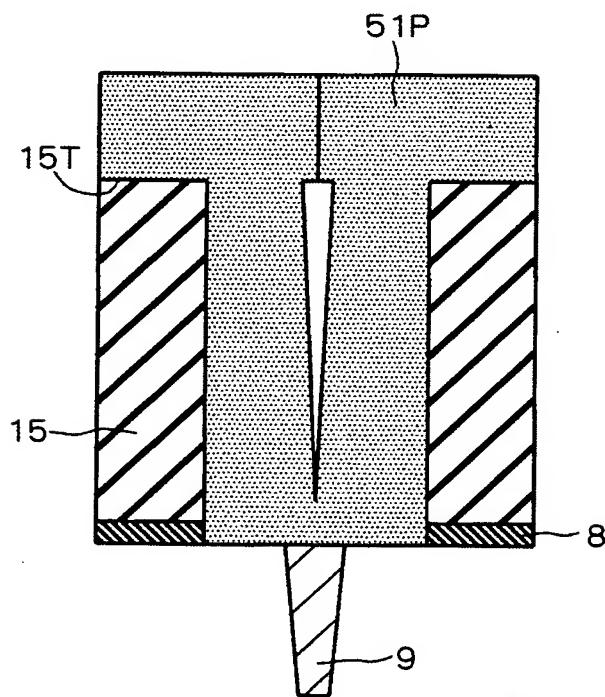
【図22】



【図23】

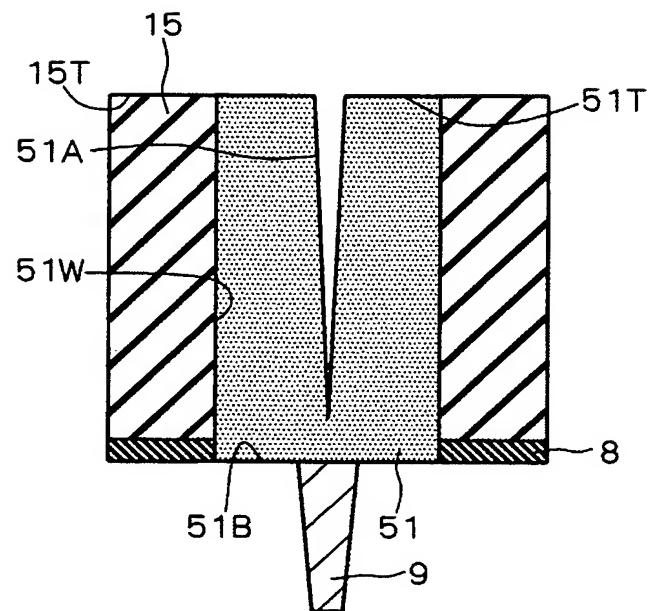


【図24】

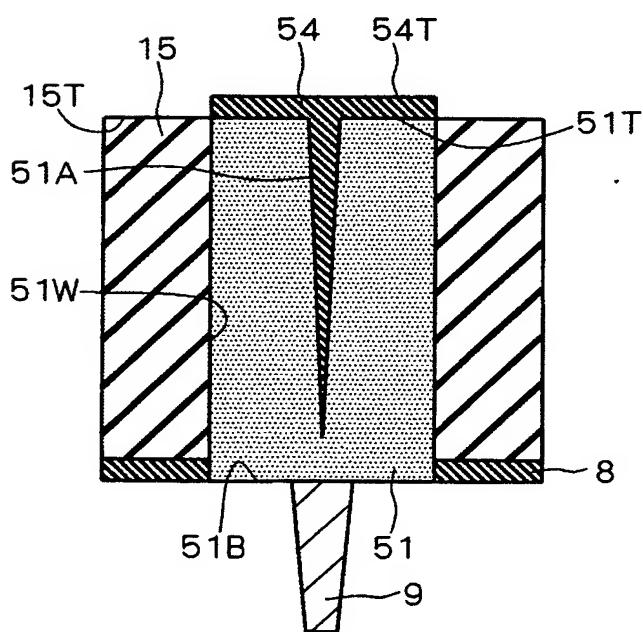


51P : シリコン膜 (導電膜)

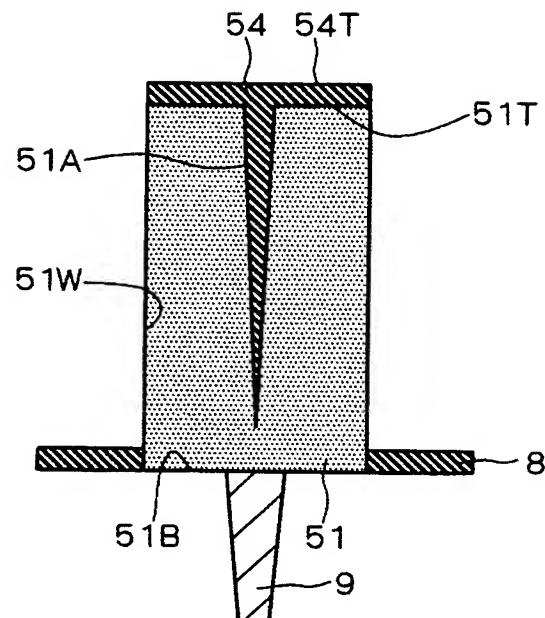
【図25】



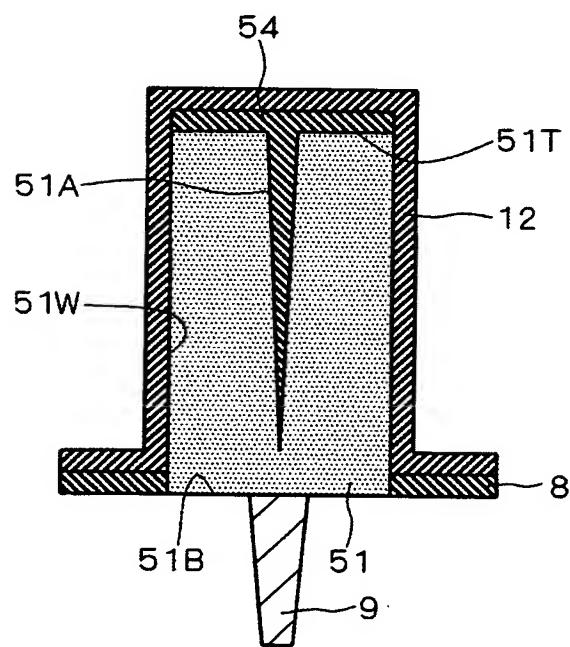
【図26】



【図27】

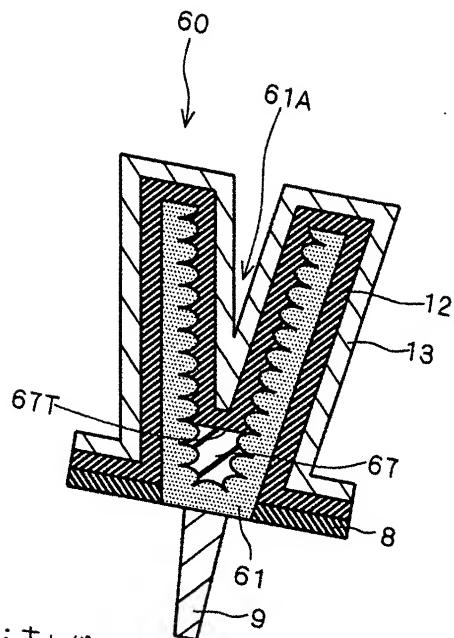


【図28】



【図29】

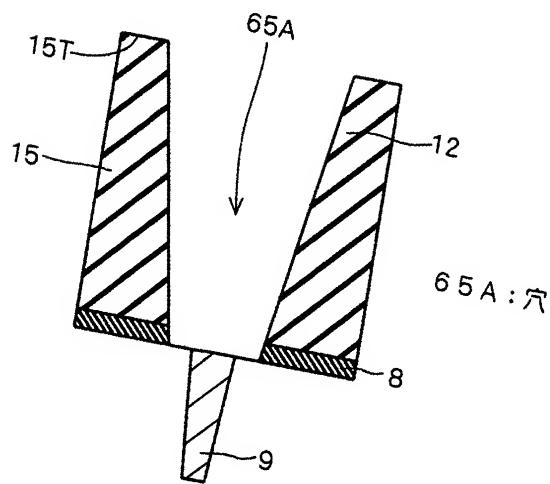
特2002-329218



【図30】

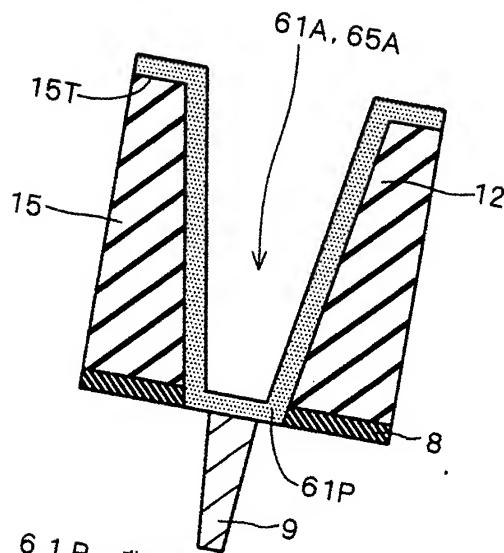
60:キャバシタ
61:下部電極

61A:開口
67:絶縁体

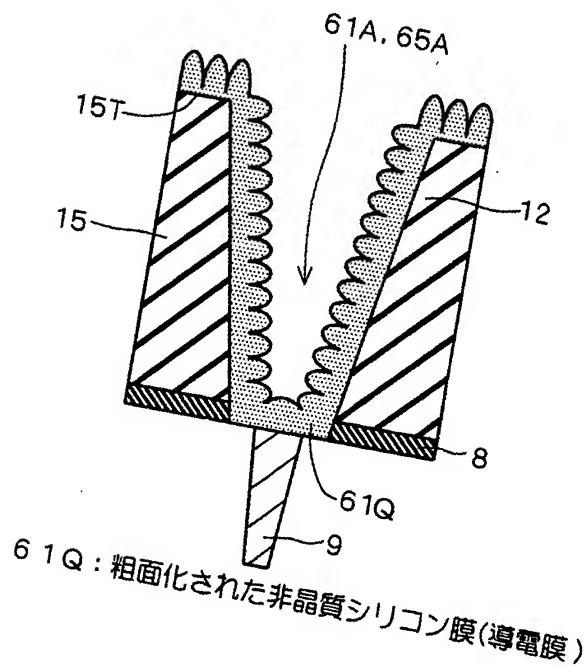


特2002-329218

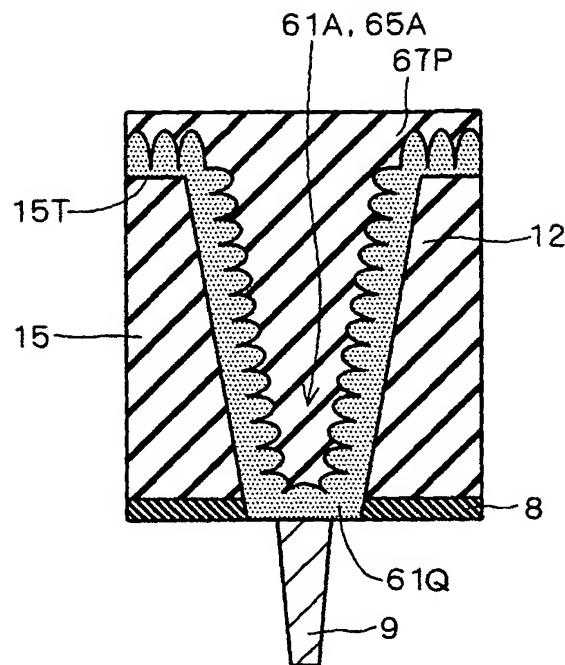
【図31】



【図32】

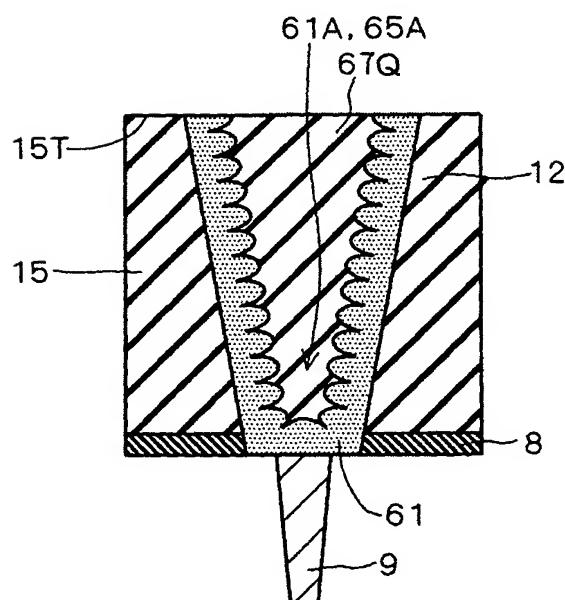


【図33】



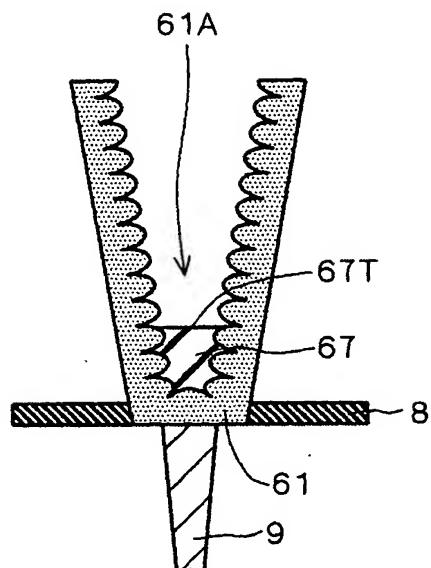
67P: 絶縁体

【図34】

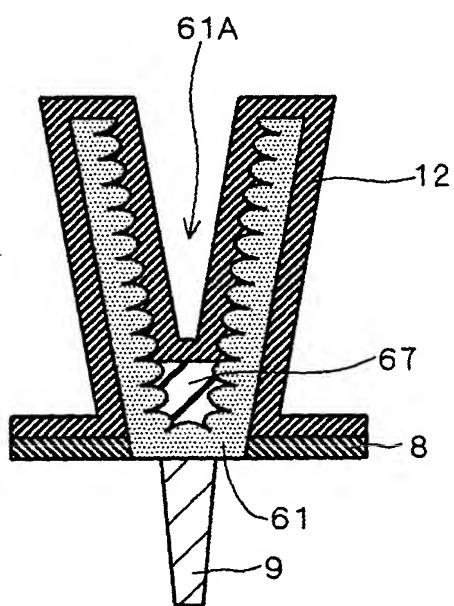


67Q: 絶縁体

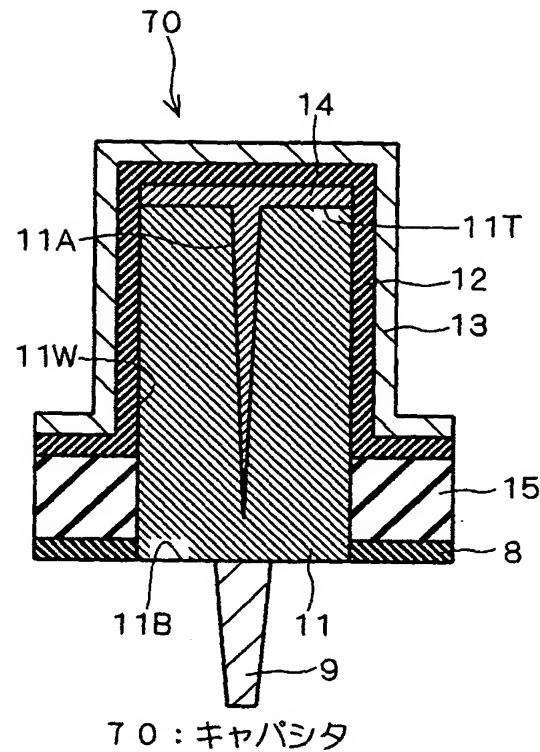
【図35】



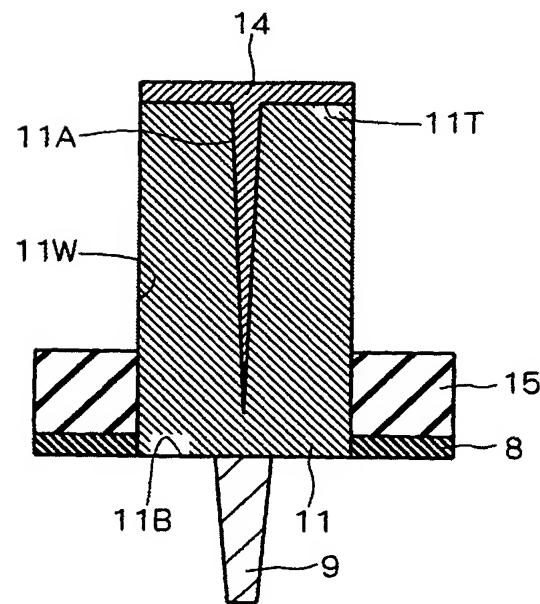
【図36】



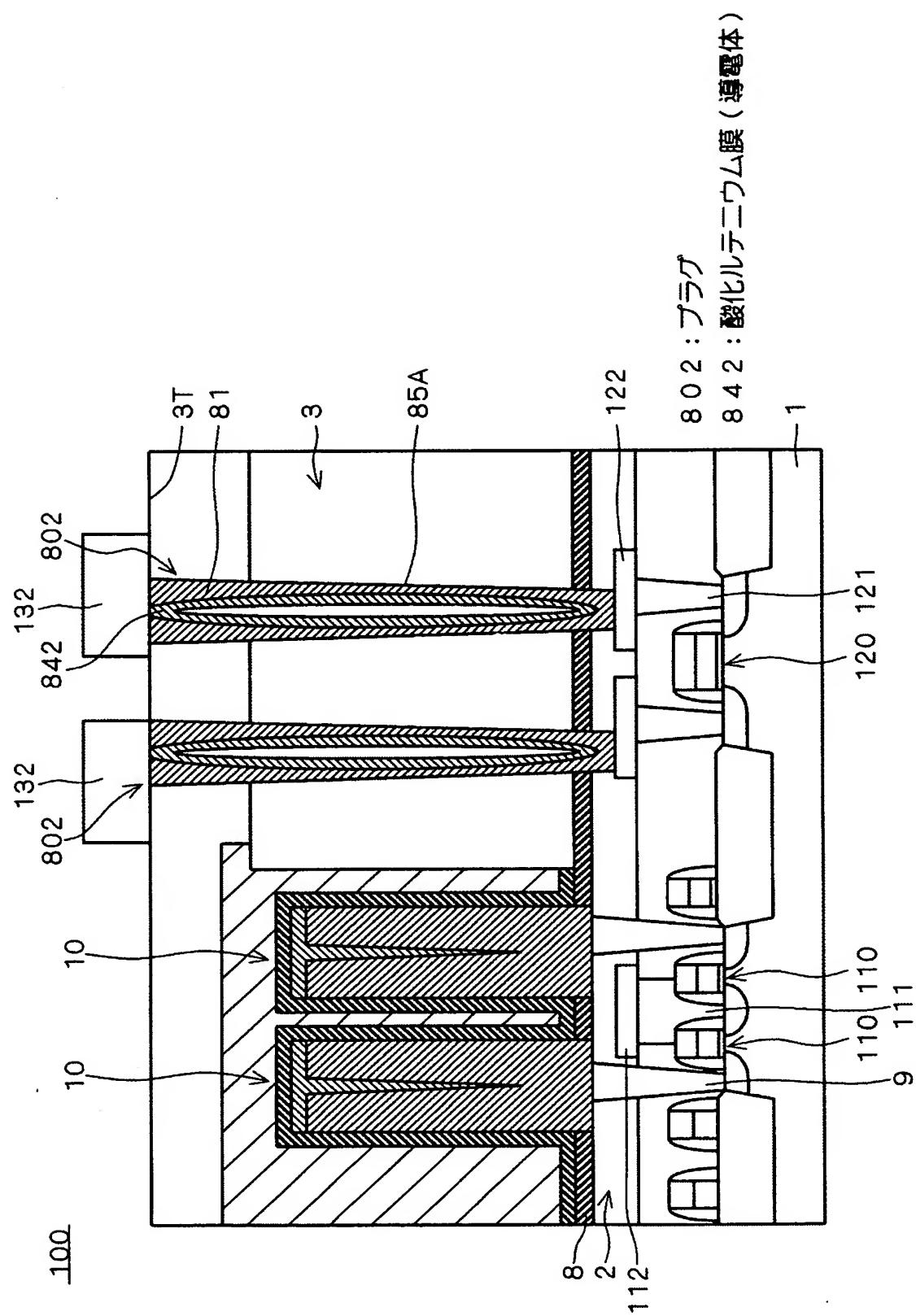
【図37】



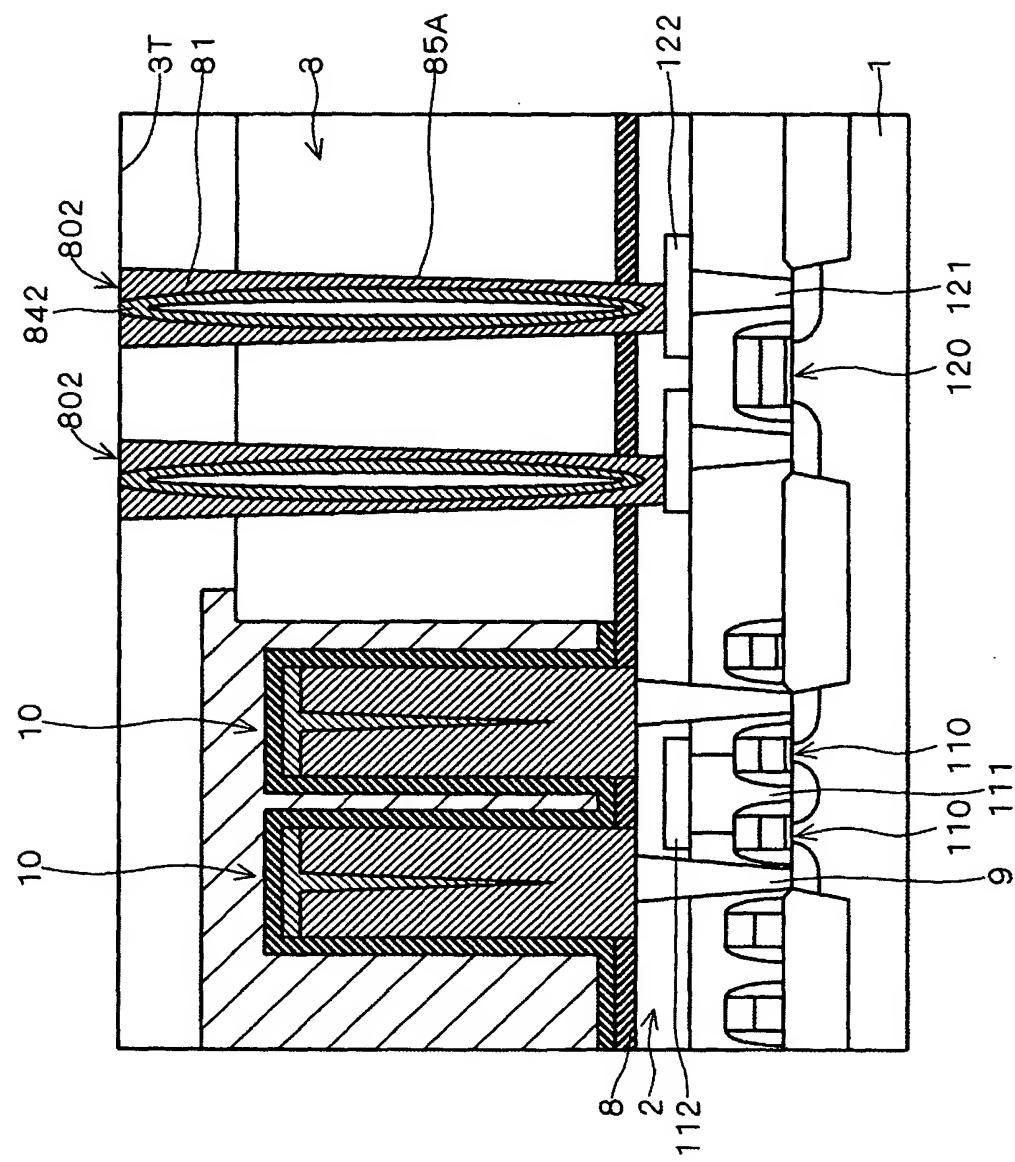
【図38】



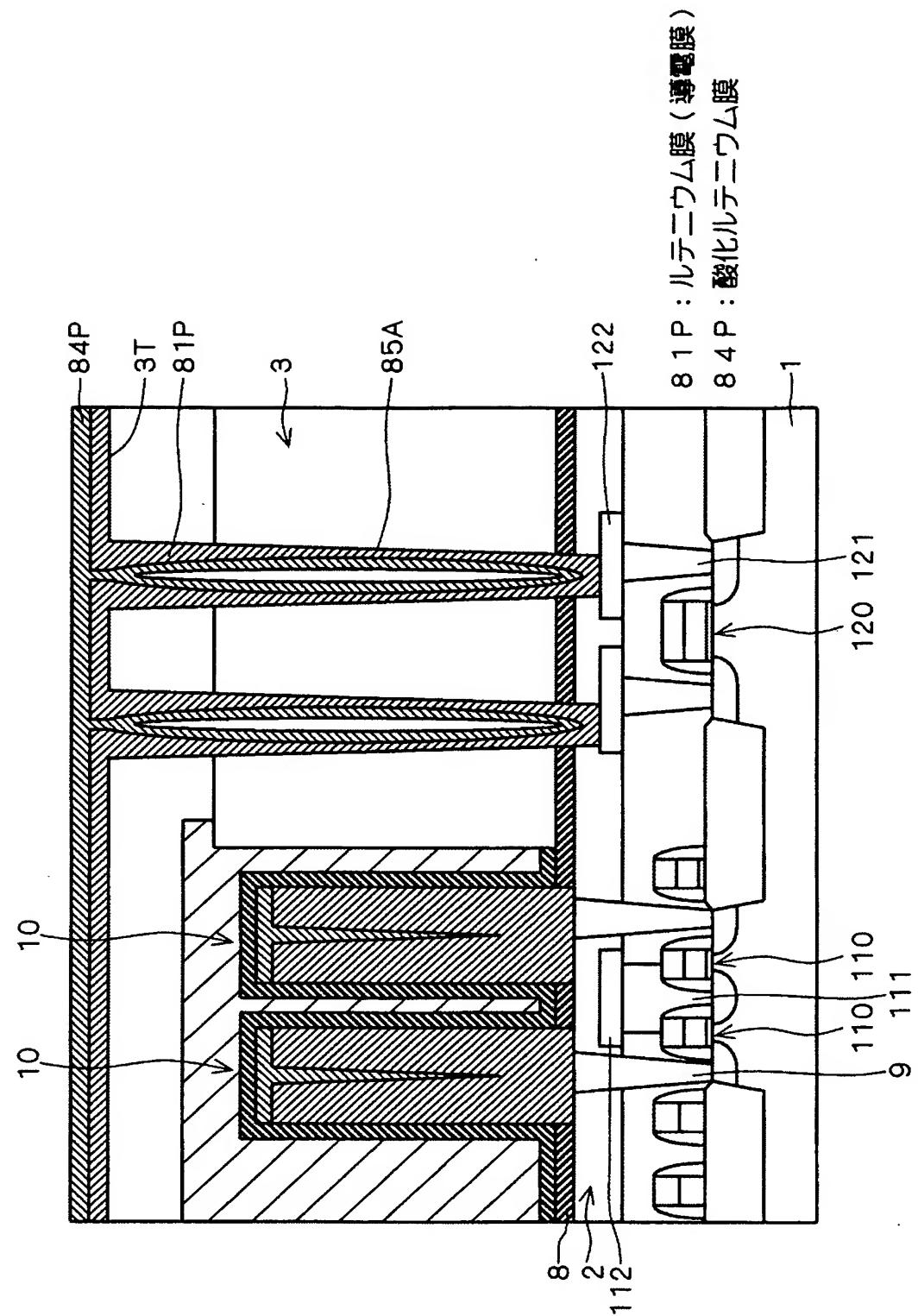
【図39】



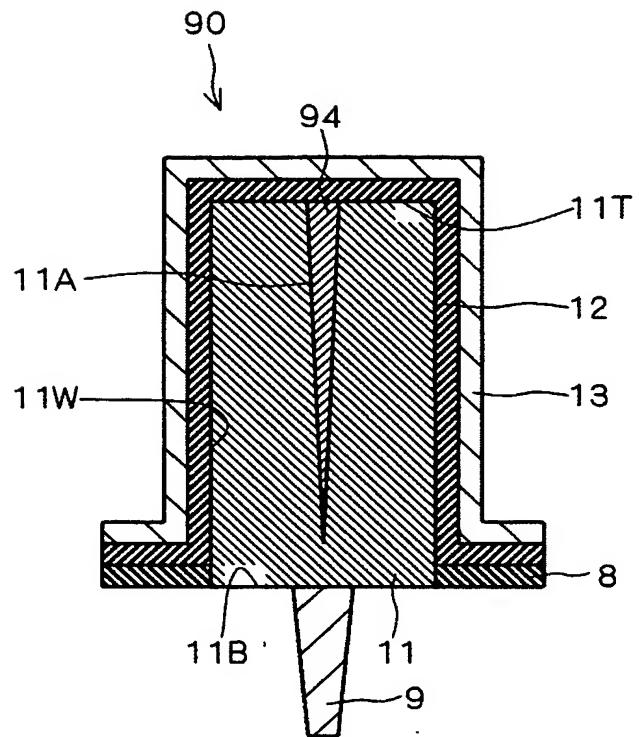
【図40】



【図4-1】



【図42】



90：キャパシタ

94：酸化ルテニウム膜（導電体）

【書類名】 要約書

【要約】

【課題】 例えばキャパシタの下部電極の開口に起因した漏れ電流を防止する。

【解決手段】 ルテニウムから成る下部電極11は例えば形成時のボイドに起因する開口を有している。下部電極11の上面には開口の入り口を塞ぐように酸化ルテニウム膜14が配置されており、該膜14は下部電極11を酸化することによって形成される。同様に、ルテニウムから成るプラグ本体81の開口の入り口を塞ぐように酸化ルテニウム膜841が配置されている。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社